

声明：英诺赛科提供的SPICE模型描述了InnoGaN器件的典型电气行为特性。尽管模型仿真能有效地评估器件开关工作时的行为特性，提高原理设计的效率，但不能完全覆盖器件使用的实际工况，面包板的验证工作仍有必要。

目前英诺赛科提供LTspice、Pspice、SIMetrix、Spectre四种模型文件，后续将根据需求添加其他类型模型，英诺赛科保留模型更新的权利，模型文件将会不定期更新。请随时关注英诺赛科官方动态。



**The Simulation Model they cannot reflect the accurate device performance under all conditions, nor are they intended to replace bread boarding for final verification.**

SPICE模型使用过程中有任何疑问和错误，请反馈给我们，您的帮助是使英诺赛科持续前进的动力。请联系[yudiyan@innoscience.com](mailto:yudiyan@innoscience.com)或者[YeZhao@innoscience.com](mailto:YeZhao@innoscience.com)

## 目录

英诺赛科InnoGaN SPICE模型简介与使用教程.....	1
一、    InnoGaN SPICE分级模型.....	1
二、    InnoGaN SPICE模型文件.....	1
三、    InnoGaN SPICE模型架构.....	2
LTspice模型的使用.....	4
Pspice模型的使用.....	7
SIMetrix模型的使用.....	8
Spectre模型的使用.....	9
RC热阻网络的使用.....	10

# 英诺赛科InnoGaN SPICE模型简介与使用教程

## 一、InnoGaN SPICE分级模型

英诺赛科提供的InnoGaN SPICE模型分为三级，即，LV1 模型，LV2 模型，LV3 模型。

- LV1 模型仅包含器件Die的基本行为特性，LV1 模型仿真速度快、易收敛为目前仿真工作广泛使用的模型。LV1 还可设置恒定的结温参数Tj，以评估温度对器件行为特性的影响。
- LV2 模型在Die的基础上加入package的寄生参数，寄生参数通过物理仿真的方式得到。LV2 模型能有效评估器件使用过程中的电应力。
- LV3 模型是在LV2 模型的基础上加入RC热阻网络模型，用以评估器件自身损耗发热对其电气行为特性的影响。

## 二、InnoGaN SPICE模型文件

英诺赛科提供四种类型的模型库文件，即LTspice、Pspice、SIMetrix、Spectre。模型文件详情见表 1。

表 1 模型文件简介

库文件	仿真器	说明
*_LTspice.lib	LTspice	与符号文件*.asy配合使用
*_PSPICE.lib	OrCAD	导入后生成*.olb文件在OrCAD中使用
*_SIMetrix.lib	SIMetrix	与符号文件*.sxslib配合使用
*_Spectre.scs	virtuoso	导入后生成文件*.oa在virtuoso中使用

### 三、InnoGaN SPICE模型架构

英诺赛科InnoGaN的SPICE模型基本结构如下图 1，与传统硅器件等效子电路模型类似。

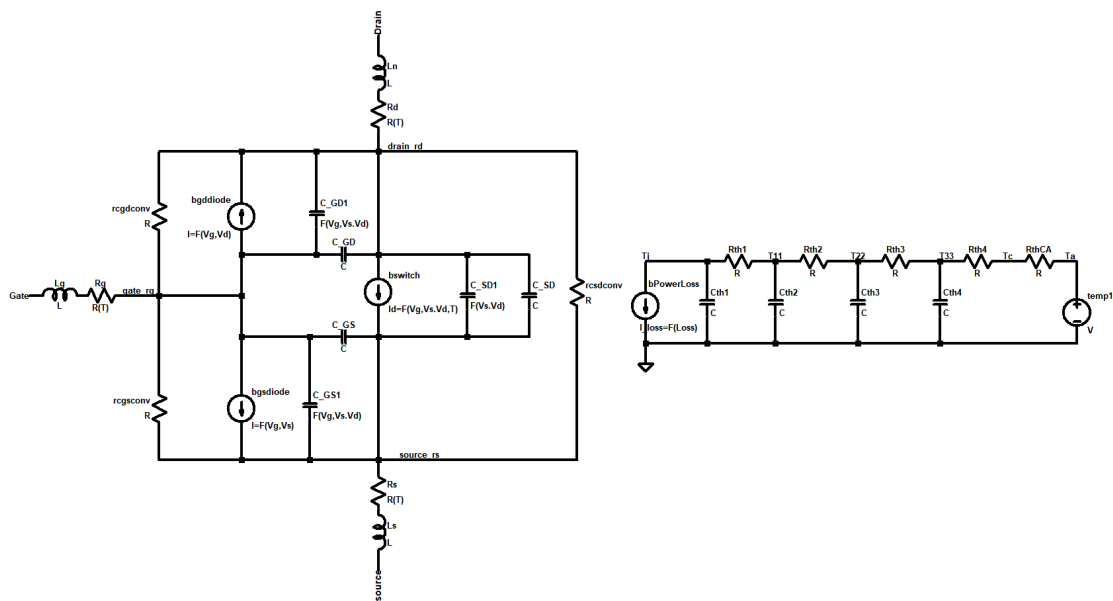


图 1 InnoGaN等效子电路模型

**主沟道电流 $I_d$ :** Bswitch为任意电流源，用于模拟器件主沟道的行为特性。当 $V_{ds}>0$  时 $I_d$ 为正由漏极流向源极；当 $V_{ds}<0$  时 $I_d$ 为负，由源极流向漏极。主沟道电流 $I_d$ 受源极漏极栅极电压及温度影响。

**CGS电容:** 由静态电容 $C_{GS}$ 和非线性电容 $C_{GS1}$  组成。其中 $C_{GS}$ 为栅极与源极金属极板间的等效电容，一般认为其为恒值常量。 $C_{GS1}$  为栅极与源极侧主沟道之间的等效电容，其值受源极漏极栅极电压影响。

**CGD电容:** 由静态电容 $C_{GD}$ 和非线性电容 $C_{GD1}$  组成，其中 $C_{GD}$ 为栅极与漏极金属极板间的等效电容，一般认为其为恒值常量。 $C_{GD1}$  为栅极与漏极侧主沟道之间的等效电容，其值受源极漏极栅极电压影响。

**CSD电容:** 由静态电容 $C_{SD}$ 和非线性电容 $C_{SD1}$  组成，其中 $C_{SD}$ 为源极与漏极金属极板间的等效电容，一般认为其为恒值常量。 $C_{SD1}$  为源极与漏极侧主沟道之间的等效电容，其值受源极漏极栅极电压影响。

**漏极寄生电感电阻 $R_d/L_d$ :** 表征器件漏极封装寄生参数， $R_d$ 值受温度影响。

**源极寄生电感电阻 $R_s/L_s$ :** 表征器件源极封装寄生参数,  $R_s$ 值受温度影响。

**栅极寄生电感电阻 $R_g/L_g$ :** 表征器件栅极封装寄生参数,  $R_g$ 值受温度影响。

**RC热阻网络:** 由任意电流源 $bPowerLoss$ 和热阻 $R_{th}$ 热容 $C_{th}$ 组成, 用于模拟器件自发热与电气行为特性的耦合关系。 $bPowerLoss$ 为InnoGaN损耗等效模型, 将器件自发热功率等效为电流。RC热阻网络对应等效关系如下表 2 所示。

表 2 RC热阻网络映射关系

电流 $I$ (A)	→	功率 $P$ (W)
电压 $V$ (V)	→	温度 $T$ (°C)
电阻 $R$ ( $\Omega$ )	→	热阻 $R_{th}$ (°C/W)
电容 $C$ (F)	→	热容 $C_{th}$ (J/°C)

# LTspice模型的使用

LTspice模型包含\*.lib和\*.asy文件，其中\*.lib为模型库文件，\*.asy为符号文件，LV1/ LV2 /LV3 符号如下图 1 所示。LV1 和LV2 模型类似有三个外部引脚为G/D/S，LV3 模型有五个外部引脚为G/D/S/Tj/Ta，其建议使用范围如表 1 所示。

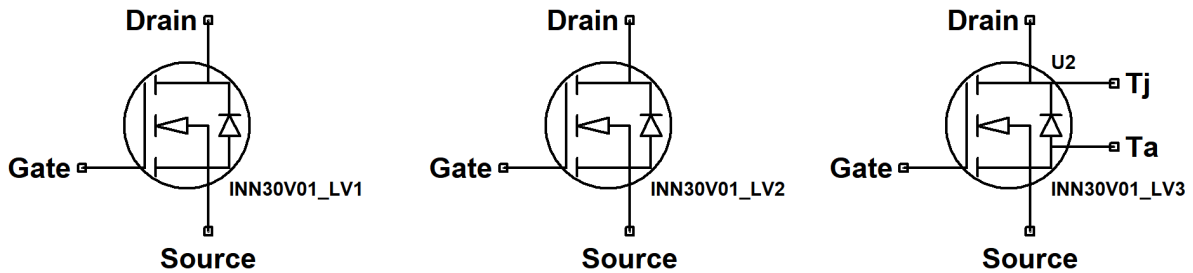


图 1 LV1/ LV2 /LV3 符号文件及引脚定义

表 1 InnoGaN分级模型使用建议

InnoGaN Level	引脚定义	使用建议范围
LV1	G, D, S	全温度范围基本电气行为仿真，如开关损耗、效率分析等
LV2	G, D, S	一般主要用于电应力分析
LV3	G, D, S, Tj, Ta	热电耦合分析，器件自热对电气行为影响特性分析

- 1、 载入lib文件。用记事本或者LTspice仿真器打开下载的InnoGaN \*.lib文件，其采用等效子电路模型模拟InnoGaN的电气行为特性。基本结构如下图 2 所示，

```

.subckt INN30V01_gan Gate Drain Source
.param Leak1=133
+ Ipara=1.2300e+01/xx1*Kfom Rds=1.700e-02*xx1/Kfom k2=1.800e+00 k3=1.600e-01 k4=1.800e
+ Idstc=4.000e-03 RdsTc=-6.800e-03 k2Tc=2.754e-04 k4Tc=1.527e-03 k5 Tc=-2.320e-04 rg=0
+ Dgs1=4.3e-07 Dgs2=2.6e-13 Dgs3=0.8 Dgs4=0.23
+ Dgs1=4.3e-07 Dgs2=2.6e-13 Dgs3=0.8 Dgs4=0.23
+ Cgd1 = 1.2000e-12/xx1 Cgd2 = 3.8000e-12/xx1 Cgd3 = 5.5e-06
+ Cgd5 = 1.4000e-12/xx1 Cgd6 = 0.8000e+00 Cgd7 = 2.0000e+01 Cgd8 = 2.0000e-12/xx1
+ Cgd9 = 3.1200e+00 Cgd10 = 2.1140e+00
+ Cgs1 = 4.8000e-11/xx1 Cgs2 = 1.2000e-11/xx1 Cgs3 = 1.8550e+00 Cgs4 =
+ Cgs5 = 0.800e-10/xx1 Cgs6 = -4.5e+00 Cgs7 = 1e+00
+ Csd1 = 4.8000e-12/xx1 Csd2 = 5.8000e-11/xx1 Csd3 = 2.0000e+01 Csd4 = 4.5000e+01
+ Csd5 = 2.8350e-11/xx1 Csd6 = -7.6000e+00 Csd7 = 8.0000e-01
.param xx1=Kfom/Rdsom/11.700

rd Drain drain_rd (((1-Rds_factor)*Rds*(1-RdsTc*(Temp-25))))
rs Source source_rs (((Rds_factor*Rds*(1-RdsTc*(Temp-25))))
rg Gate gate_rg ((rg))

Rgsdconv drain_rd source_rs {100000Meg/Leak1}
Rgsconv gate_rg source_rs {100000Meg/Leak1}
Rgsdconv gate_rg drain_rd {100000Meg/Leak1}

bswitch drain_rd source_rs i-if(v(drain_rd,source_rs)>0,
+ ((Ipara*(1-Idstc*(Temp-25)))^log(1.0+exp((v(gate_rg,source_rs)-(k2*(1-k2Tc*(Temp-25))))/k3)))^
+ v(drain_rd,source_rs)/(1 + max(k4+k5*(1-k5 Tc*(Temp-25))*v(gate_rg,source_rs),0.2)*v(drain_rd,s
+ (-Ipara*(1-Idstc*(Temp-25)))^log(1.0+exp((v(gate_rg,drain_rd)-(k2*(1-k2Tc*(Temp-25))))/k3)))^
+ v(source_rs,drain_rd)/(1 + max(k4+k5*(1-k5 Tc*(Temp-25))*v(gate_rg,drain_rd),0.2)*v(source_rs,d
+ v(drain_rd,source_rs)))

bgdsiode gate_rg source_rs i-if(v(gate_rg,source_rs)>0,
+ (0.5*Leak1/1077*(Dgs1*(exp((10.0)/Dgs3)-1)+Dgs2*(exp((10.0)/Dgs4)-1))),
+ (0.5*Leak1/1077*(Dgs1*(exp((v(gate_rg,source_rs))/(Dgs3)-1)+Dgs2*(exp((v(gate_rg,source_rs))/(Dgs4)-1))))))
+ (0.5*Leak1/1077*(Dgs1*(exp((10.0)/Dgs3)-1)+Dgs2*(exp((10.0)/Dgs4)-1))),
+ (0.5*Leak1/1077*(Dgs1*(exp((v(gate_rg,drain_rd))/(Dgs3)-1)+Dgs2*(exp((v(gate_rg,drain_rd))/(Dgs4)-1))))))

bgdsiode gate_rg drain_rd i-if(v(gate_rg,drain_rd)>0,
+ (0.5*Leak1/1077*(Dgs1*(exp((10.0)/Dgs3)-1)+Dgs2*(exp((10.0)/Dgs4)-1))),
+ (0.5*Leak1/1077*(Dgs1*(exp((v(gate_rg,drain_rd))/(Dgs3)-1)+Dgs2*(exp((v(gate_rg,drain_rd))/(Dgs4)-1))))))
+ (0.5*Leak1/1077*(Dgs1*(exp((10.0)/Dgs3)-1)+Dgs2*(exp((10.0)/Dgs4)-1))),
+ (0.5*Leak1/1077*(Dgs1*(exp((v(gate_rg,drain_rd))/(Dgs3)-1)+Dgs2*(exp((v(gate_rg,drain_rd))/(Dgs4)-1))))))

C_gd gate_rg source_rs (Cgs1) TC=0,0
C_GS1 gate_rg source_rs Q=(0.5*Cgs2*Cgs4*log(1+exp((v(gate_rg,source_rs)-Cgs3)/Cgs4))+
+ Cgs5*Cgs7*log(1+exp((v(source_rs,drain_rd)-Cgs6)/Cgs7)))

C_gd gate_rg drain_rd (Cgd1) TC=0,0
C_GD1 gate_rg drain_rd Q=(0.5*Cgs2*Cgs4*log(1+exp((v(gate_rg,drain_rd)-Cgs3)/Cgs4))+
+ Cgs2*Cgs4*log(1+exp((v(gate_rg,drain_rd)-Cgs3)/Cgs4))+
+ Cgs5*Cgs7*log(1+exp((v(gate_rg,drain_rd)-Cgs6)/Cgs7))+
+ Cgs2*Cgs4*log(1+exp((v(gate_rg,drain_rd)-Cgs3)/Cgs4)))

C_sd source_rs drain_rd (Csd1) TC=0,0
C_CS1 source_rs drain_rd Q=(Csd2*Csd4*log(1+exp((v(source_rs,drain_rd)-Csd3)/Csd4))+
+ Csd5*Csd7*log(1+exp((v(source_rs,drain_rd)-Csd6)/Csd7)))

.ends

```

图 2 子电路模型基本架构

2、 关联 $\text{asy}$ 文件。打开 $\text{*.asy}$ 文件，按快捷键 $\text{Ctrl+A}$ ，弹出如下图3所示对话框。

注意：

- 原理图符号PIN脚数量与顺序必须与子电路中保持一致，引脚名称可以不一致；
- 模型名称应与原理图及子电路名称保持一致；
- 模型文件文件名必须与LTspice的lib文件名一致；

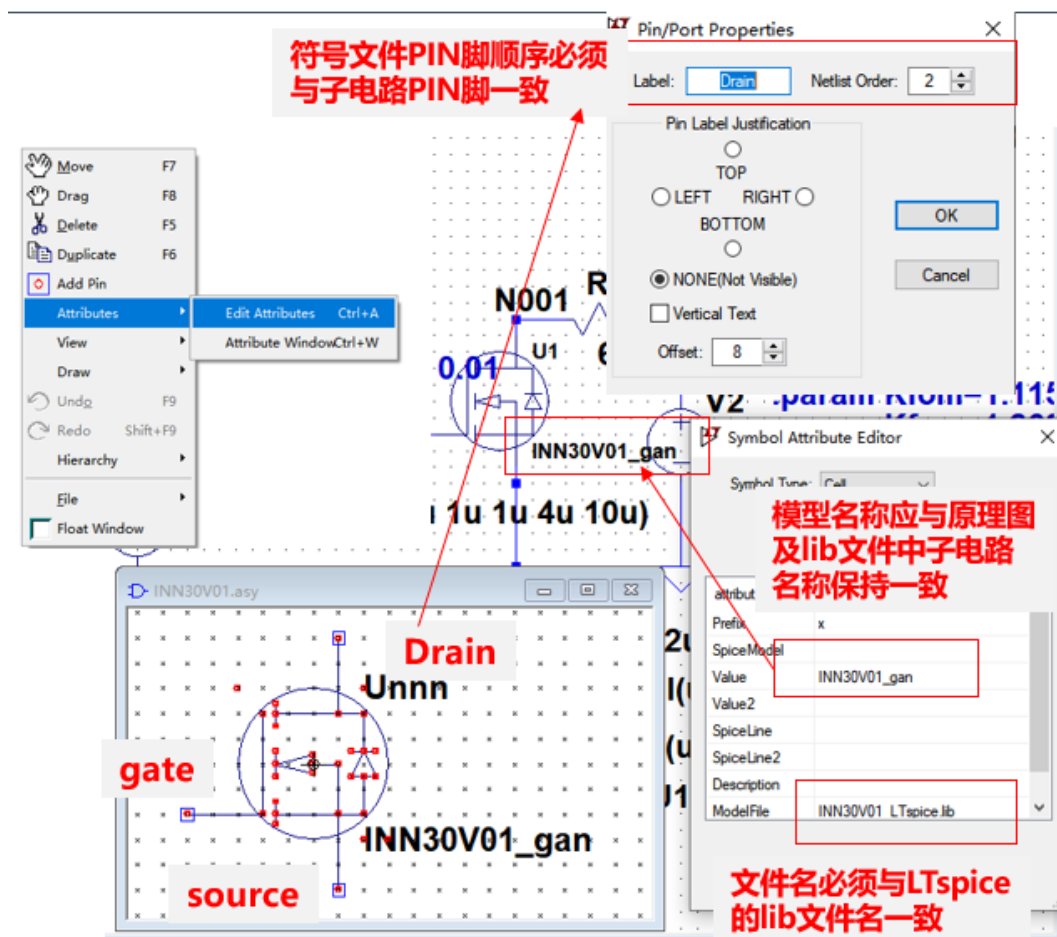


图3  $\text{*.lib}$ 和 $\text{*.asy}$ 文件关联

3、 添加InnoGaN到原理图中。一般InnoGaN提供已关联好的 $\text{*.lib}$ 和 $\text{*.asy}$ 文件，步骤1/2可省略。关联后在原理图编辑界面点击工具栏component按钮如下图所示，或者按快捷键 $\text{F2}$ ，弹出如图所示。在Top Directory下拉框中选择InnoGaN模型保存路径，在器件选择窗口选择需要的器件名称，如图4所示。



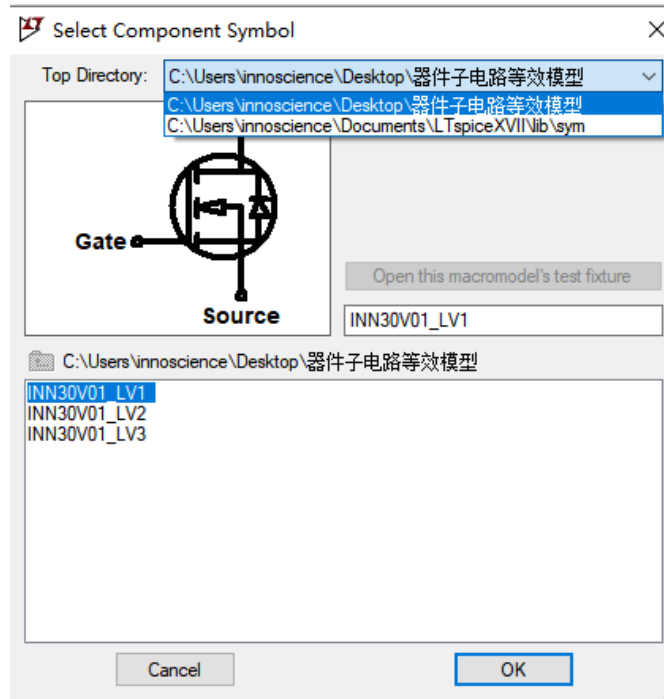


图 4 添加InnoGaN到原理图中

- 4、 设置仿真参数并运行。根据仿真需求设置仿真参数，器件output曲线仿真结果如下图 5 所示。

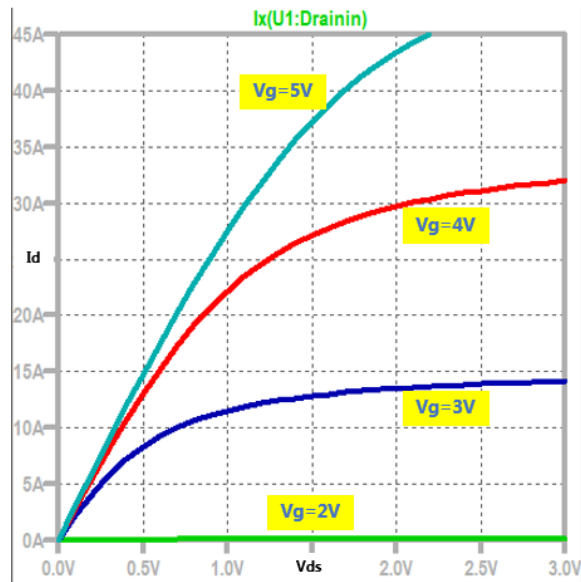


图 5 InnoGaN output LTspice仿真结果



## Pspice模型的使用

Pspice模型包含\*.lib和\*.olb文件，其中\*.lib为模型库文件，\*.olb为符号文件。Pspice导入流程如下：

- 1、 **载入lib文件**。打开Pspice Model Editor，点击File->open将lib文件载入编辑器中。要在编辑器中查看或编辑模型文件可双击左侧器件名字。
- 2、 **导出olb文件**。点击File->Export to Capture Part Library导出\*.olb文件。弹出erro对话框，显示无错误则导出成功。
- 3、 **关联lib文件和olb文件**。点击File—>Model Import Vizard弹出如下图所示对话框，点击下一步>弹出生成信息，OK。至此Spice模型创建完毕。
- 4、 **添加 InnoGaN 模型到工程文件**。仿真前需将该模型文件添加到仿真工程中。  
在 Cadence 工程中添加模型设置步骤如下：  
Capture CIS-> Edit Simulation Profile -> Configuration Files -> Load .lib File -> Add to Design—>ok。
- 5、 **添加 InnoGaN 到仿真原理图中**。在 Cadence 原理图中添加 InnoGaN 模型设置步骤如下：Place Part ->Add Library -> Double click InnoGaN model。
- 6、 **设置仿真参数并运行**。根据仿真需求设置仿真参数，查看器件 output 曲线仿真结果。

## SIMetrix模型的使用

- 1、 导入lib文件。导入步骤：File -> Model Library -> Add/Remove Libraries -> Select Spice File folder -> ok。
- 2、 导入符号文件。File -> Symbol Manager -> Add -> Select \*.xslib File -> ok。
- 3、 关联符号文件。File -> Model Library -> Associate models and symbols -> New Category -> Define Symbol -> ok。
- 4、 添加到原理图中。Place -> From the Library -> : Select InnoGaN and device -> Place。
- 5、 仿真设置并运行。根据仿真需求设置仿真参数，查看器件output曲线仿真结果。

## Spectre模型的使用

Spectre 模型需要配合 symbol 文件\*.oa 在 Virtuoso 中使用。

1. 创建 symbol 文件
  - Symbol model name必须与模型文件subckt name一致；
  - Symbol PIN脚数量与顺序必须与模型文件中subckt定义保持一致，引脚名称可以不一致。
2. 搭建电路图  
在Virtuoso schematic编辑窗口用symbol搭建电路图
3. 设置仿真环境
  - 1) Launch -> ADE L -> 弹出ADE L窗口
  - 2) Setup -> Simulator/Directory/Host... -> 在弹出窗口选择simulator为spectre -> OK
  - 3) Setup -> Model Libraries -> 在弹出窗口导入\*\_Spectre.scs模型文件 -> OK
4. 设置仿真条件并仿真输出结果

## RC热阻网络的使用

Innoscience LV3 SPICE模型器件提供RC热阻网络参数，用以模拟器件电热耦合仿真。本教程使用LTSPICE作为仿真器，以BUCK电路为例进行说明。器件使用Inno650D260A LV3 SPICE模型，PCB使用SOAtherm-PCB模型模拟PCB的热容热阻，如下图 1 所示。器件Tc引脚接SOAtherm-PCB的Tc引脚。

设置PCB基本参数如下，

PCB的铜厚：1 oz；

器件Pad面积: 21 mm<sup>2</sup>；

PCB面积：2500 mm<sup>2</sup>；

PCB厚度：1.5 mm；

自然对流风速：50 LFM；

BUCK电路基本参数设置如下，

输入电压：400V；

输出电压：200V；

负载电流：4A；

开关频率：150kHz；

环境温度：45 °C；

仿真运行完成后，热电耦合仿真波形及放大波形图如图 2 图 3 所示。LV3 级模型除了能有效评估器件的稳态功耗和稳态结温，还能很好地模拟开关周期内器件的瞬态功耗和瞬态结温，而这对于可靠性要求较高的应用场合显得尤为重要。

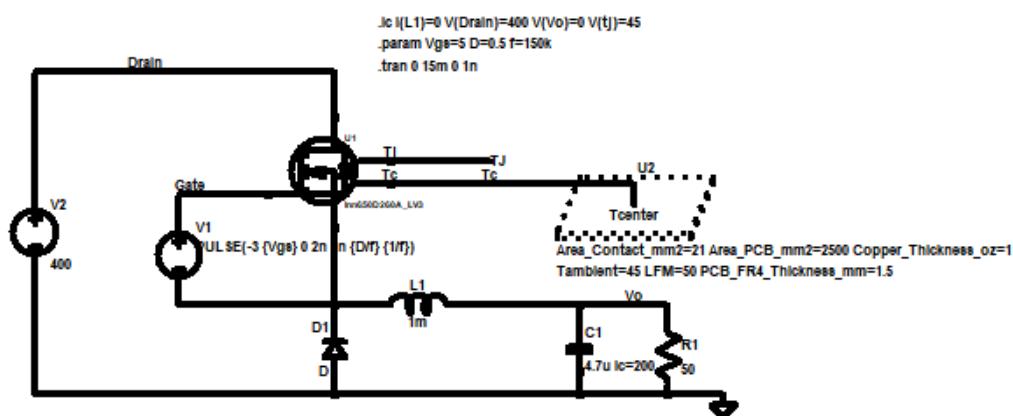


图 1 BUCK电路器件电热耦合仿真原理图

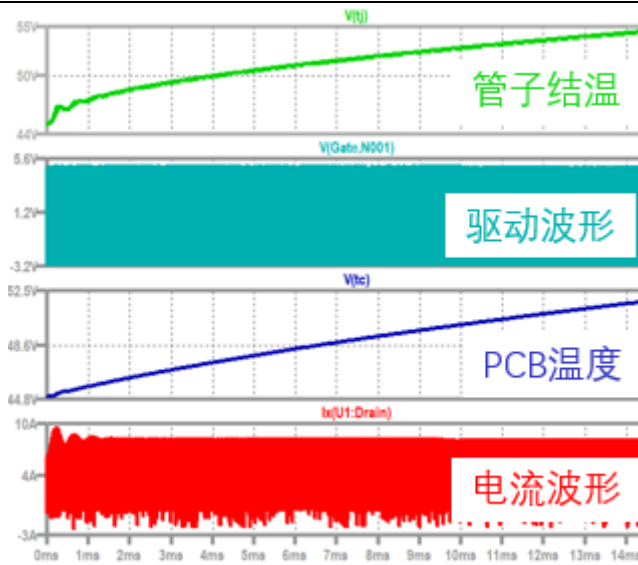


图 2 BUCK电热仿真基本波形图

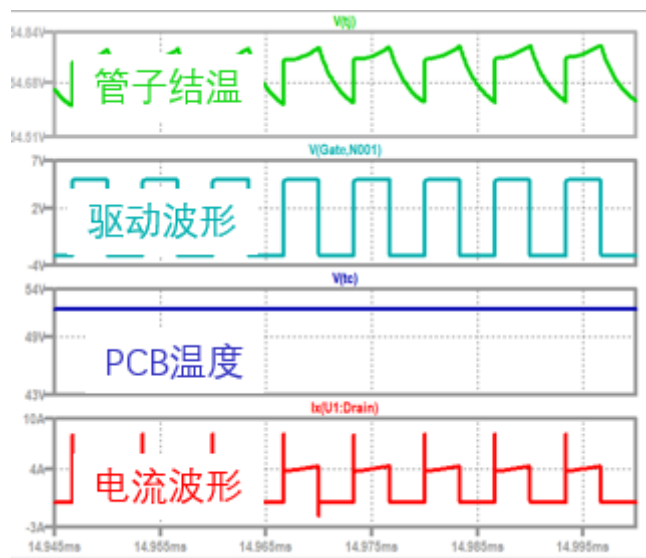


图 3 BUCK电热仿真放大波形图