

AN006

通用文档

InnoGaN Layout 设计指导

目 录

1. 概述	2
2. Layout关键注意点	3
2.1. 共源电感	3
2.1.1. CSI的影响.....	3
2.1.2. CSI的优化措施.....	4
2.2. 驱动回路	4
2.2.1. 驱动回路对GaN性能的影响.....	4
2.2.2. 驱动回路的优化措施.....	5
2.3. 功率回路	5
2.3.1. 功率回路对GaN性能的影响.....	5
2.3.2. 功率回路的优化措施.....	5
3. GaN的Layout设计准则和步骤	7
3.1. Layout设计准则	7
3.2. Layout设计步骤建议	7
4. 不同封装的Layout注意事项.....	11
4.1. DFN封装.....	11
4.2. TOLL封装	12
4.3. WLCSP封装	13
4.4. FCQFN封装.....	14
4.5. TO封装	15
4.6. SolidGaN系列	16
5. 典型案例.....	17
5.1. 高压单管	17
5.1.1. Layout注意事项:	17
5.1.2. 案例——快充应用	18
5.2. 高压半桥	20
5.2.1. Layout注意事项:	20
5.2.2. 案例——PSU应用	21
5.3. 高压并联	22

5.3.1. Layout注意事项:	22
5.3.2. 案例——适配器应用.....	23
5.4. 低压单管	24
5.4.1. Layout注意事项:	24
5.4.2. 案例——光伏微逆应用	25
5.5. 低压半桥	27
5.5.1. Layout注意事项:	27
5.5.2. 案例——48V模块应用	28
5.6. 低压并联	31
5.6.1. Layout注意事项:	31
5.6.2. 案例——BUCK-BOOST模块电源	32
历史版本	34

1. 概述

氮化镓（GaN）相比传统的硅，可以在更小的器件空间内处理更大的电场，同时提供更快的开关速度。由于高的电压转换速率(dv/dt)和高的电流转换速率(di/dt)是GaN器件的固有特性，与Si器件相比，GaN器件在电路应用上对误导通、寄生电感等干扰因素也就更为敏感。

为了充分发挥GaN器件的开关优势，同时避免干扰因素，做好GaN的layout设计、减小回路上的寄生效应，在应用中显得尤为重要。

2. Layout关键注意点

在GaN的Layout设计中，共源电感、功率回路、驱动回路是影响GaN器件性能的三个主要方面，也是Layout设计中重点需要关注的地方。

2.1. 共源电感

2.1.1. CSI的影响

共源电感(CSI)指的是栅极驱动回路和功率回路中共用的回路寄生电感。

在器件开通关断过程中，共源电感(CSI)在开关时刻会产生与栅极驱动电压相反的电压，抵消栅极电压的变化、减缓开关过程，从而增大开关损耗。表1为InnoGaN的某款低压产品在20A电流时开通关断loss仿真比对，Ltpice中分别设置共源电感为0和0.1nH，仿真可见CSI对开关loss影响很大；

在半桥电路中，如下图1所示，在上管开通的时刻，下管会因续流电流的减小而在下管的共源电感上产生上正下负的感应电压，加大下管驱动电压的负向电压震荡幅值，由此而使得下管的正向震荡幅值加大，可能会引起下管误开通，造成上下管直通的风险。因此为了降低开关损耗、避免器件误导通等情况，减小共源电感(CSI)对电路应用的影响是非常必要的，尤其在应用GaN的高 di/dt 场合。

表 1 共源电感对开关loss的影响（某款InnoGaN低压产品-20A）

共源电感的影响	开通LOSS(E_{on})	关断LOSS(E_{off})
L (CSI) = 0 nH	377 nJ	163 nJ
L (CSI) = 0.1 nH	533 nJ	275 nJ

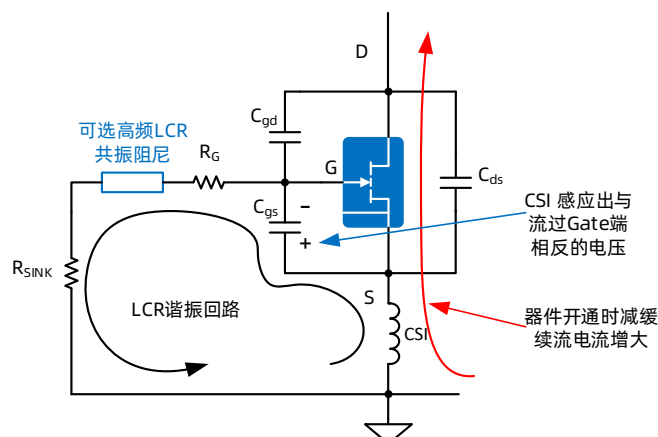


图 1 半桥硬开关场合共源电感回路示意图

2.1.2. CSI的优化措施

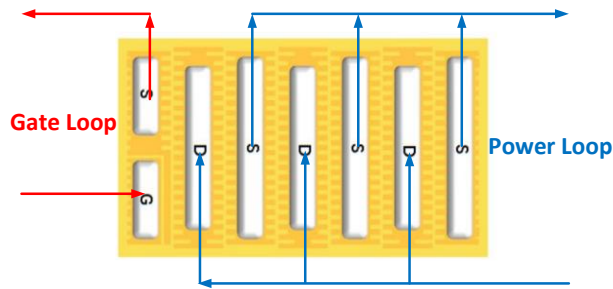


图 2 InnoGaN 某款器件通过封装分开驱动回路和功率回路示意图

- 1) 有开尔文脚的器件，如InnoGaN的高压产品，利用开尔文脚分开驱动回路和功率回路，避免耦合。
- 2) 没有开尔文脚的，如InnoGaN的低压产品，通过引脚将驱动回路和功率回路分开，如上图2所示，以使两个回路彼此互不干扰，同时驱动回路的地与GaN的靠近G极的S极相连（通过过孔），以减小共源电感的影响；

2.2. 驱动回路

2.2.1. 驱动回路对GaN性能的影响

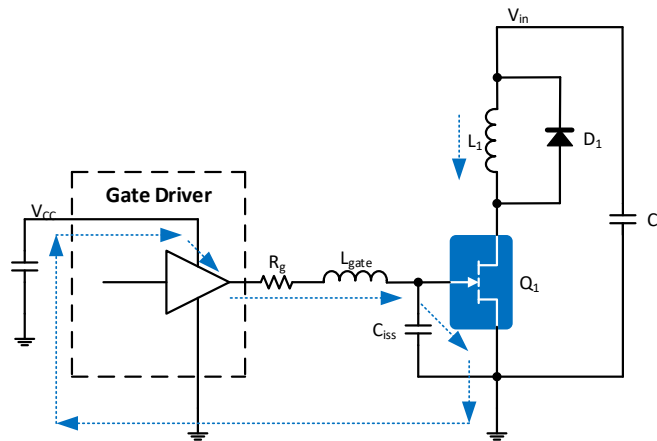


图 3 InnoGaN 驱动回路示例

如图3驱动回路所示，驱动回路主要由栅极驱动器、驱动电阻、回路寄生电感 L_{gate} 、输入电容 C_{iss} 及GaN晶体管组成。在GaN器件开关过程中，驱动回路的总电阻大小会直接影响GaN器件在电路应用中的性能。若栅极电阻过小，栅极电压 V_{gs} 容易过冲导致GaN失效，且振铃若超过阈值电压 V_{th} 导致误导通增加导通损耗；栅极电阻过大虽然可以降低栅极电压 V_{gs} 和振铃，但是同时减缓漏极电流的转换过程，也会增加导通损耗。因此减小寄生电感为最优解。

2.2.2. 驱动回路的优化措施

- 1) 在布局中，尽可能让驱动回路与功率回路分离，且驱动芯片要尽可能靠近GaN器件；
- 2) 驱动回路路径尽可能小，同时电流路径交叠流过顶层和内层以减小驱动回路面积，可达到寄生电感最小化；
- 3) 驱动回路总电阻不能过大，以保证导通时间可以更短；也不能过小，以防误导通，因此根据公式： $R_g \geq \sqrt{\frac{4 * L_{Gate}}{C_{iss}}} - R_{pullup}$ 设置电阻值。（*注：Rpullup为驱动器内部的上拉电阻）

2.3. 功率回路

2.3.1. 功率回路对GaN性能的影响

由于GaN器件比Si MOSFET的电流转换速率(di/dt)要大得多，如果不优化功率回路上的寄生电感，漏极电压 V_{ds} 的电压尖峰会变得非常大，给器件增加过压风险，且会增加功率损耗；另外，优化功率回路的寄生电感也会减少功率回路对驱动回路的不利因素。

2.3.2. 功率回路的优化措施

1. 横向功率回路布局

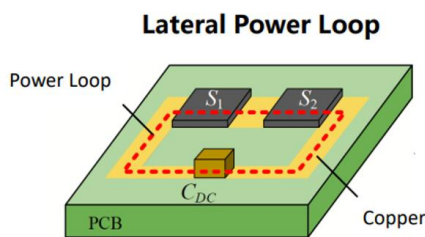


图 4 InnoGaN 横向功率回路布局

如图4所示，此Layout为横向功率回路布局，输入电容及GaN器件均位于PCB的Top层，通过相互靠近来减小功率环路的面积。但是在实际应用中，由于存在器件间距和绝缘距离的限制，横向功率环路的面积在PCB的同一层面中无法做得过小，所以为了最大程度地优化该回路，推荐使用垂直功率回路布局。

2. 垂直功率回路布局

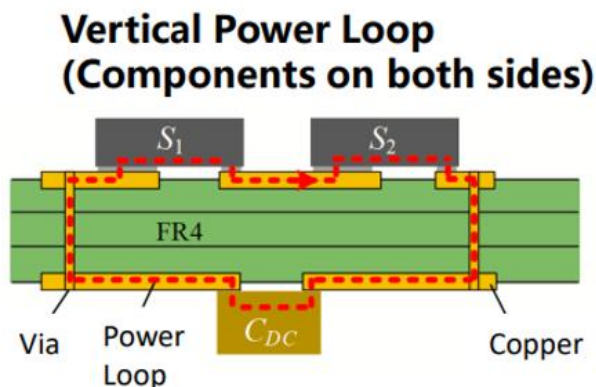


图 5 InnoGaN 垂直功率回路布局 (1)

如图5所示，将GaN器件都放置于PCB的同一面，输入电容放置于PCB的另一面，电流从Top层流经器件后再通过通孔到达bottom层的电容中，再用同样方法回到Top层，以此来完成功率回路。此Layout比较依赖于PCB本身的厚度，厚度越小回路路径越小。

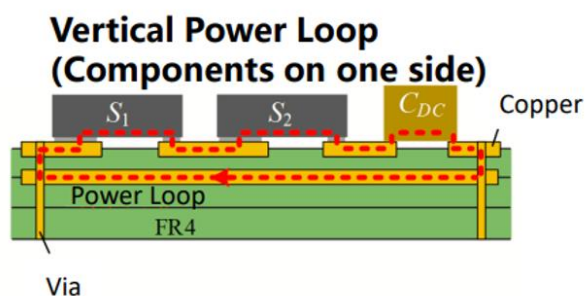


图 6 InnoGaN 垂直功率回路布局 (2)

如图6所示，可将GaN器件和输入电容都放置于PCB的同一面上，通过相互靠近来减小回路路径。然后通过通孔流经PCB内层，在内层中会经过与Top层相反的电流路径，因此能够相互抵消磁场，降低寄生电感。通过紧靠器件的内层走过电流可以拥有几乎是最小的回路面积，使功率回路的优化更有效。

3. GaN的Layout设计准则和步骤

3.1. Layout设计准则

如上一小节所述，共源电感CSI、功率回路、驱动回路对GaN的工作性能都有影响，如何减小这三部分的寄生电感，是GaN Layout设计的重要关注点。

除此之外，也有其它一些需要Layout时关注的地方。例如，PCB的层间铜皮会形成寄生电容，GaN器件的漏极、源极铜皮形成的寄生电容等效于额外增加了GaN器件的 C_{oss} ；漏极、栅极铜皮形成的寄生电容等效于额外增加了GaN器件的 C_{rss} ；栅极、源极铜皮形成的寄生电容等效于额外增加了GaN器件的 C_{iss} 。这部分铜皮之间形成的寄生电容会带来额外的开关损耗、降低GaN的开关性能，尤其在硬开关的高压应用场合，可能会引起不可忽略的额外损耗甚至安全问题。在可能的情况下，也应尽量减小甚至避免。

在GaN的Layout设计中，我们应尽量遵循以下几个设计原则：

- 1) 共源电感CSI越小越好。有开尔文脚的器件，使用开尔文脚以减小CSI。
- 2) 功率回路越小越好。在大容量电容距离GaN器件的换流回路相对远了的情况下，就近增加高频无感贴片电容以减小功率换流回路。
- 3) 驱动回路越小越好。驱动电路尽量靠近GaN器件。
- 4) 驱动回路和功率回路尽量采用磁场自消除的布局和走线方式以减小回路电感。
- 5) 驱动回路和功率回路分开，避免驱动回路与功率回路的电路和空间耦合，以避免功率回路对驱动回路的干扰。
- 6) 尽量减小GaN的漏极、源极铜皮形成的寄生电容，尤其在高压应用场合。

3.2. Layout设计步骤建议

Layout设计中的几个关键步骤是布局、走线、铺铜、散热，GaN的Layout设计也不例外：

1) 布局设计

对于不同应用场合，因产品体积、空间、成本的要求和限制，Layout其实受到了一定的制约。不管哪种应用以及GaN的何种器件封装，驱动回路和功率回路在布局上要做好区域划分，下图7为大致示例。

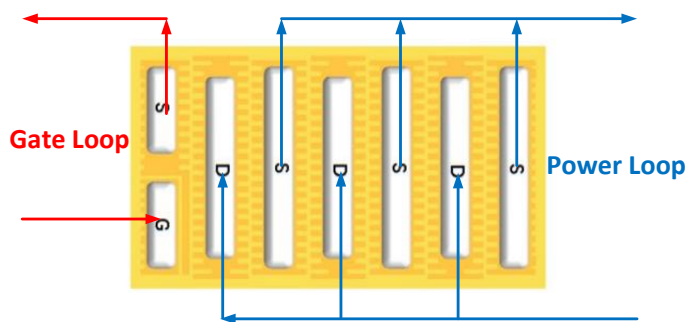


图 7 InnoGaN 的驱动回路和功率回路布局示意图

另外，如前面小结所述，针对功率回路和驱动回路，也有各自建议的布局方式来减小回路的寄生电感。以低压GaN的应用为例，低压GaN的同步BUCK应用中一般推荐PCB的布局大致如下：瓷片电容和上下管GaN放在PCB的Top层，瓷片电容靠近上管GaN，第一层用来安置功率器件，通过第二层构建最小的物理回路尺寸，这样第一和第二层就具备了磁场自消除功能，将功率回路中的寄生电感降低，有助于降低尖峰电压和提高效率。总之，高压GaN、低压GaN，功率回路抑或驱动回路的走线中都要注意降低PCB的寄生电感。

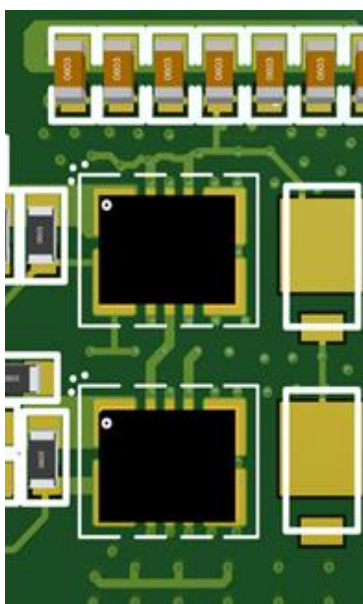


图 8 InnoGaN 的推荐PCB布局 (1)



图 9 InnoGaN 的推荐PCB布局 (2)

2) 走线

在驱动回路和功率回路的Layout走线上，除了在Si件的PCB走线中需要注意到的地线的处理、线宽、线长、安规间距等常规注意项之外，需要仔细注意功率回路和驱动回路。建议在走线完成后，根据电路各个状态下的工作模式，仔细检查驱动回路和功率回路的走线（长度和面积），并根据前面的设计原则和方法，尽量优化以减小。

3) 铺铜

铺铜也是PCB设计中很重要的一步。在GaN的layout设计中，除了铺铜过程中常常需要注意的电流密度、安规间距、屏蔽以防止干扰等考虑外，不同层铜皮之间的寄生电容的影响也是不容忽视。有些寄生电容的影响是正向的，有些是负向的，设计中注意按需权衡以合理铺铜。此处需要特别提示的是，在高压硬开关，尤其是高频场合，GaN器件的 C_{oss} 在开通loss中占比较大，此种情况下，需仔细优化GaN管的漏极和源极的铺铜以满足和优化设计。

4) 散热

热设计贯穿PCB Layout的始终，在PCB的过孔设计上，大致有如下几个建议的地方：

- 焊盘下过孔的数量对PCB热阻有很大影响，建议TOLL和DFN8X8封装的过孔直径为0.4mm，中心孔距为0.85mm，有利降低热阻
- 当焊盘下有孔时，焊盘外过孔的密度对PCB热阻的影响很小。外部过孔可以为0.3mm，中心孔距为1.5mm
- 焊盘周围2~4mm处的铜箔对PCB热阻有很大影响
- 填充焊料的过孔对PCB热阻有很大影响，预计会减少40%。焊盘周围2~4mm范围内可适当添加焊料镀层
- PCB板厚度的减小可以减小PCB热阻。1mm板厚的PCB热阻比2mm板厚的低40%。在保证结构强度的情况下，可以减小PCB板的厚度
- 对于焊盘比较细小的封装，如FCQFN，处理上有些其它的建议，大致原则为：设计过孔尺寸为0.3mm，外径0.5mm，在空间允许的情况下焊盘不打孔，可避免漏锡影响焊接质量；器件焊盘引脚较细，在满足安全间距情况下，焊盘尽量外延；打孔采用交错打孔方式，相对于整排打孔，背面相同网络可形成大片连接，加强散热能力

Notes: 更多细节可参见《[AN009-InnoGaN热设计指导](#)》

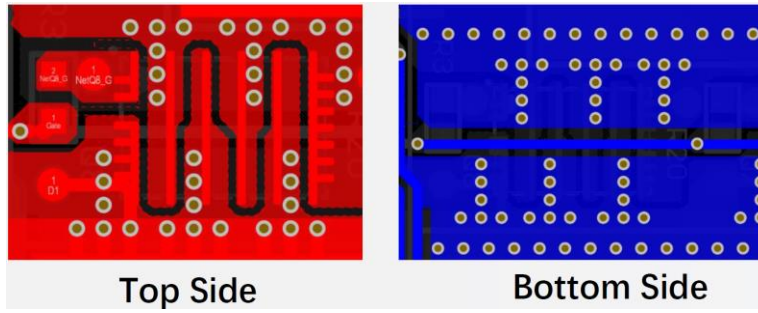


图 10 过孔示意图

4. 不同封装的Layout注意事项

4.1. DFN封装

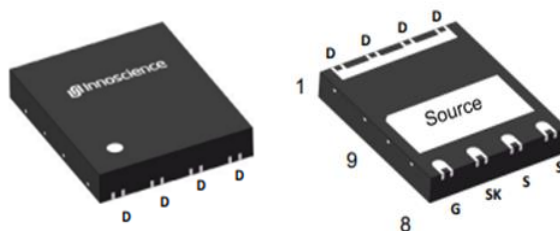


图 11 DFN封装的InnoGaN产品

采用DFN封装的InnoGaN产品如图11所示，目前InnoGaN产品有DFN封装有5×6和8×8两种尺寸，代表产品有：

DFN5×6：

- INN700DA140C
- INN700DA190B
- INN700DA240B

DFN8×8：

- INN650D080BS
- INN700D140C
- INN700D190B

DFN为功率半导体器件标准封装，适用于表贴安装，带有Kelvin Source (SK)，并且具有寄生参数小，热阻小等优点。

Layout中需要注意的是DFN封装的InnoGaN与传统Si MOSFET的引脚定义并不相同，两者的对比如图12。

Si MOSFET的thermal pad通常与drain相连，而由于GaN是平面型器件，InnoGaN产品的thermal pad与source相连。drain焊盘的面积减小，可以减小应用中电压跳变点的面积，更有利于EMC的设计；thermal在封装内部与GaN的衬底相连，有助于将内部产生的热有效导出，减小器件热阻。

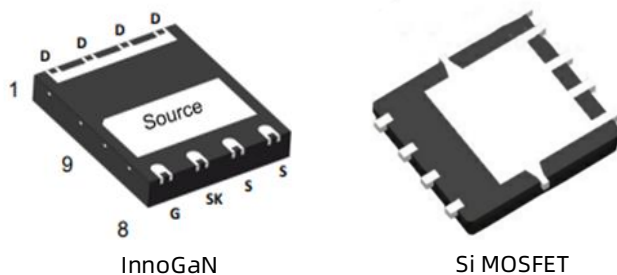


图 12 InnoGaN与Si MOSFET DFN封装的对比

4.2. TOLL封装

采用TOLL封装的InnoGaN产品如图13所示，代表产品有：

- INN650TA030AH

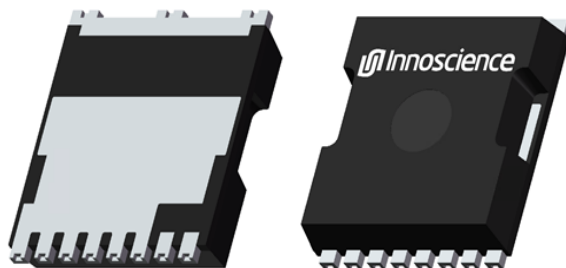


图 13 TOLL封装的InnoGaN产品

TOLL封装为功率半导体器件标准封装，适用于表贴安装。Layout中需要注意的是TOLL封装的InnoGaN与传统Si MOSFET的引脚定义并不相同，两者的对比如图14。

与DFN封装类似，Si MOSFET的thermal pad与drain相连，而InnoGaN产品的thermal pad与source相连。相比于Si MOSFET，采用TOLL封装的InnoGaN设计有Kelvin Source (SK)，更有助于驱动回路优化设计，减小CSI以及功率回路与驱动回路的耦合。

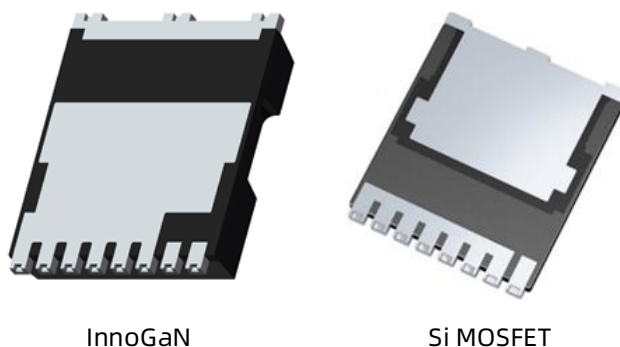


图 14 InnoGaN与Si MOSFET TOLL封装的对比

4.3. WLCSP封装

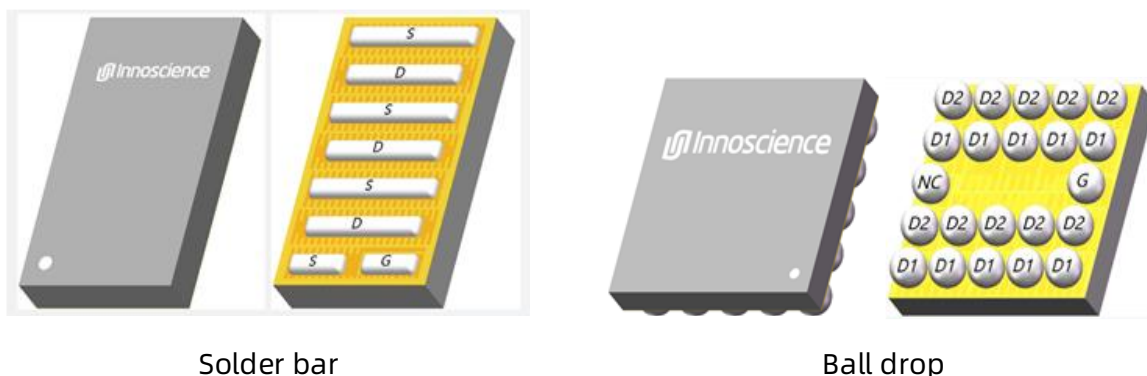


图 15 WLCSP封装的InnoGaN产品

WLCSP (Wafer Level Chip Scale Packaging) 是一种晶圆级芯片封装方式，其最大特点是有效地缩减封装体积。不同于传统的芯片封装方式，WLCSP是先在整片晶圆上进行封装和测试，然后才切割成分立器件。采用WLCSP封装的InnoGaN产品主要有solder bar和ball drop两种类型，如图15所示，代表产品有：

WLCSP (solder bar) :

- INN100W032A

WLCSP(ball drop):

- INN040W048A
- INN040W080A
- INN040W120A

采用WLCSP封装的InnoGaN为表贴器件，具有体积小、超低寄生参数、热阻小等优点。Drain和Source通常采用交替排列的设计，layout中建议利用封装特点，设计交错通孔，从而最大程度减小功率回路寄生参数。

4.4. FCQFN封装

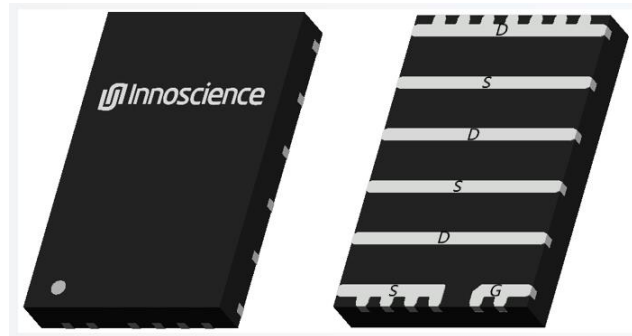


图 16 FCQFN封装的InnoGaN产品

采用FCQFN (Flip Chip Quad Flat No-lead) 封装的InnoGaN如图16, 代表产品有:

- INN150FQ032A
- INN100FQ016A
- INN100FQ025A
- INN040FQ012A
- INN040FQ015A

FCQFN表贴封装, 主要特点为体积小、寄生参数小、封装可靠性高、更易于焊接。采用FCQFN封装的InnoGaN一般也设计为drain和source交替排列, layout设计方法与WLCSP类似。

4.5. TO封装

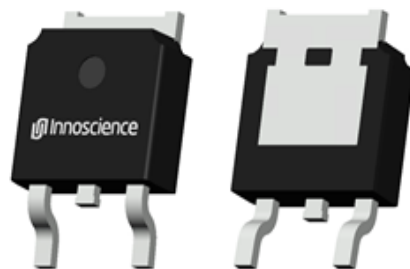


图 17 TO252封装的InnoGaN产品

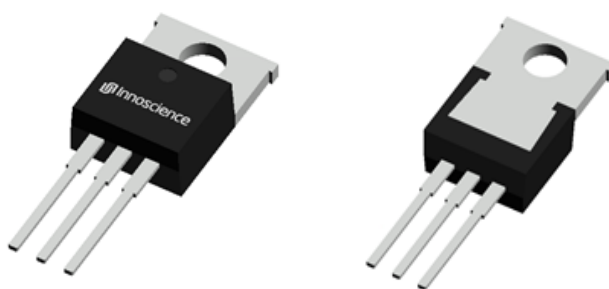


图 18 TO220封装的InnoGaN产品

采用TO220和TO252封装的InnoGaN产品如图18所示，代表产品有：

TO252：

- INN700TK140C
- INN700TK190B
- INN700TK240B
- INN700TK350B

TO220：

- INN700TH140C
- INN700TH190B
- INN700TH240B
- INN700TH350B

TO220和TO252为功率半导体标准封装，与Si器件不同的是，GaN器件的背面金属焊盘连接至source端，应用中可以通过source端铺大面积铜箔或加装散热片辅助散热。

Layout中需要注意到TO220和TO252封装的InnoGaN与Si MOSFET引脚定义的不同，两者的对比如图19。通过交换drain和source的位置，InnoGaN可以更容易通过layout

实现kelvin连接和增强散热。

相比于DFN等封装，TO220和TO252回路寄生电感相对更大，应用中更要注意驱动回路和功率回路的优化设计。尤其对于驱动回路，可以通过加入100R/100M左右的磁珠解决驱动振荡问题，从而增强驱动电路可靠性。

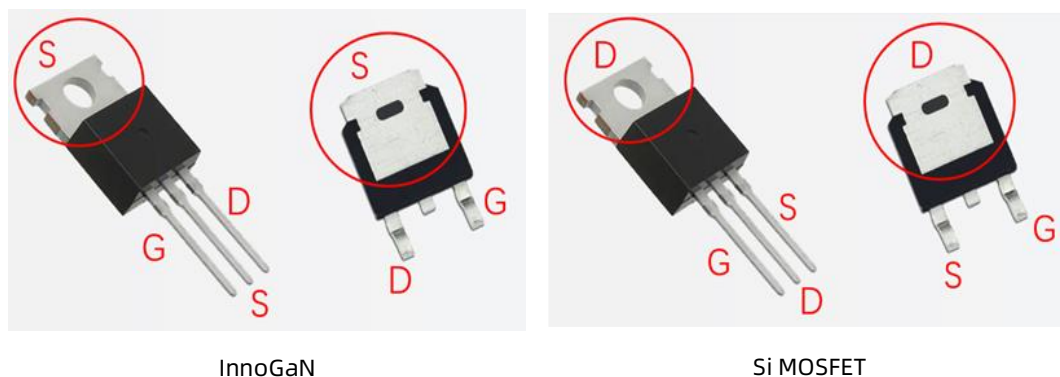


图 19 InnoGaN与Si MOSFET TOLL封装的对比

4.6. SolidGaN系列

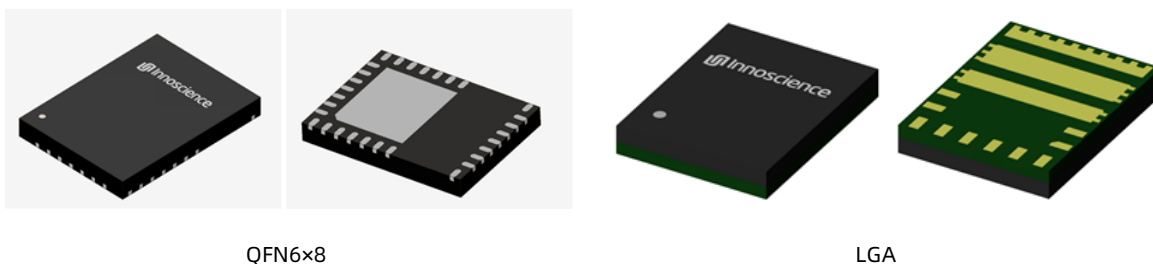


图 20 SolidGaN系列产品

SolidGaN产品如图20所示，目前有QFN6x8和LGA两种封装形式，代表产品有：

QFN6x8：

- ISG6102
- ISG6103

LGA：

- ISG3201

SolidGaN系列为GaN HEMT与驱动IC集成设计，均为表贴封装，并且优化了引脚排布，更有利于layout的优化设计，最大程度减小回路寄生参数。应用中要注意，信号走线与功率回路不重叠，以避免功率回路对信号产生噪声干扰；同时通过功率铺铜，使器件热量更容易导出，增强器件散热。

5. 典型案例

5.1. 高压单管

5.1.1. Layout注意事项:

反激拓扑是高压单管GaN的典型应用，快充场合常用。无论是GaN还是Si MOSFET，该拓扑在地线的处理上都需特别注意，如下图21所示，Layout时辅助绕组地、IC信号地、功率地在bulk电容处汇合，避免IC地受干扰导致驱动振荡。

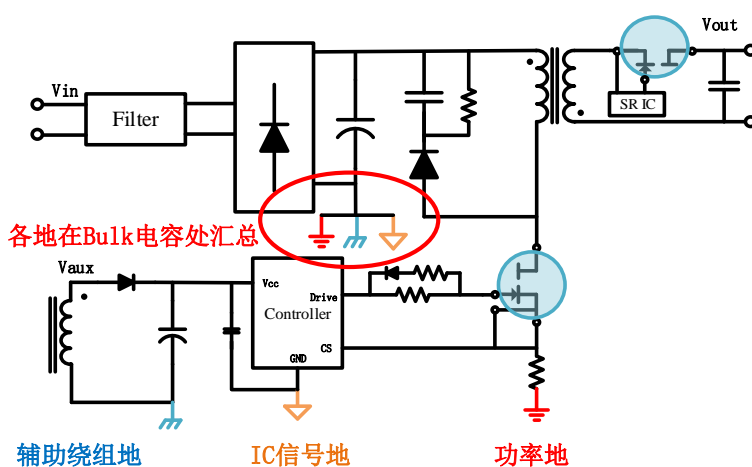


图 21 反激电路地线处理示意图

在GaN应用时，Layout上还需注意以下方面：

- 1) 由于电流检测电阻的存在，此种场合GaN的开尔文脚与源极直接连接，否则电流采样电阻失去作用。
- 2) Source端与bulk电容地的走线尽可能短、粗，减小寄生电感 L_s 。
- 3) 驱动电路和功率电路分开布置，避免干扰
- 4) 驱动IC及驱动电路尽量靠近GaN一些，减小驱动回路的走线和面积
- 5) 高压场合，GaN的漏源极交叠铜皮的寄生电容尽量小，以优化开关loss

5.1.2. 案例——快充应用

下面为DFN封装的高压GaN在65W快充应用中的layout案例。

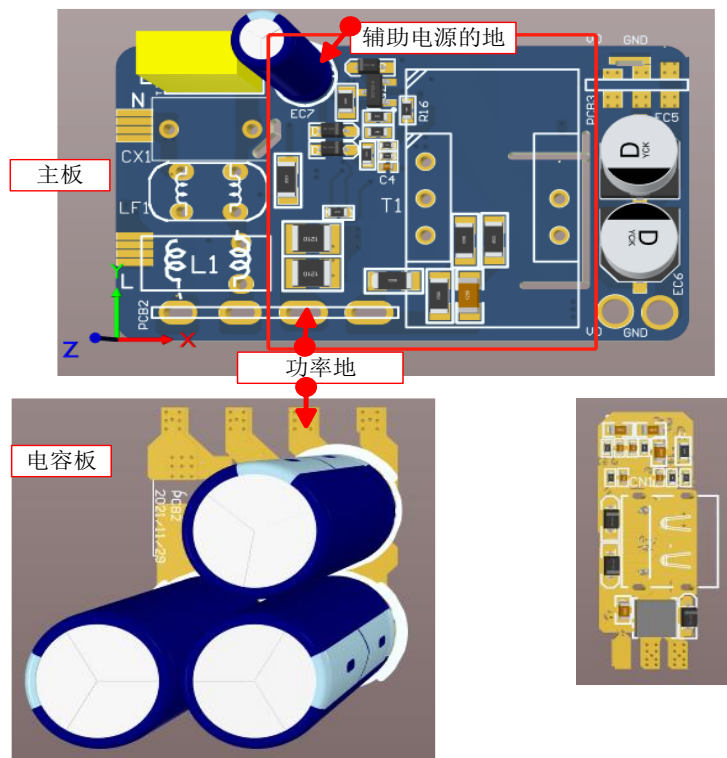


图 22 65W快充Layout的3D概貌图

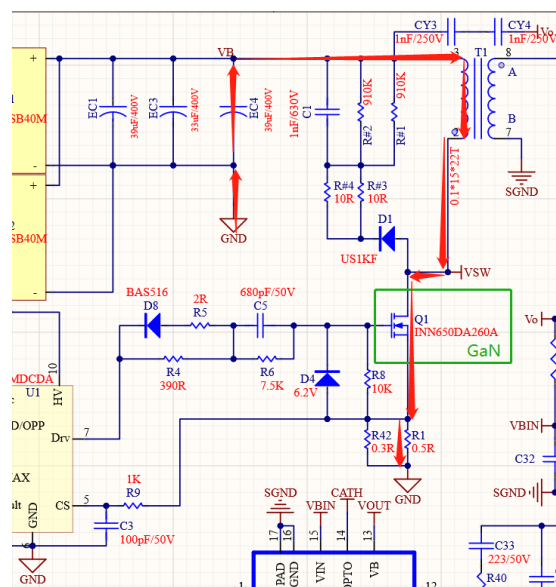


图 23 快充应用——Flyback原边局部电路原理图

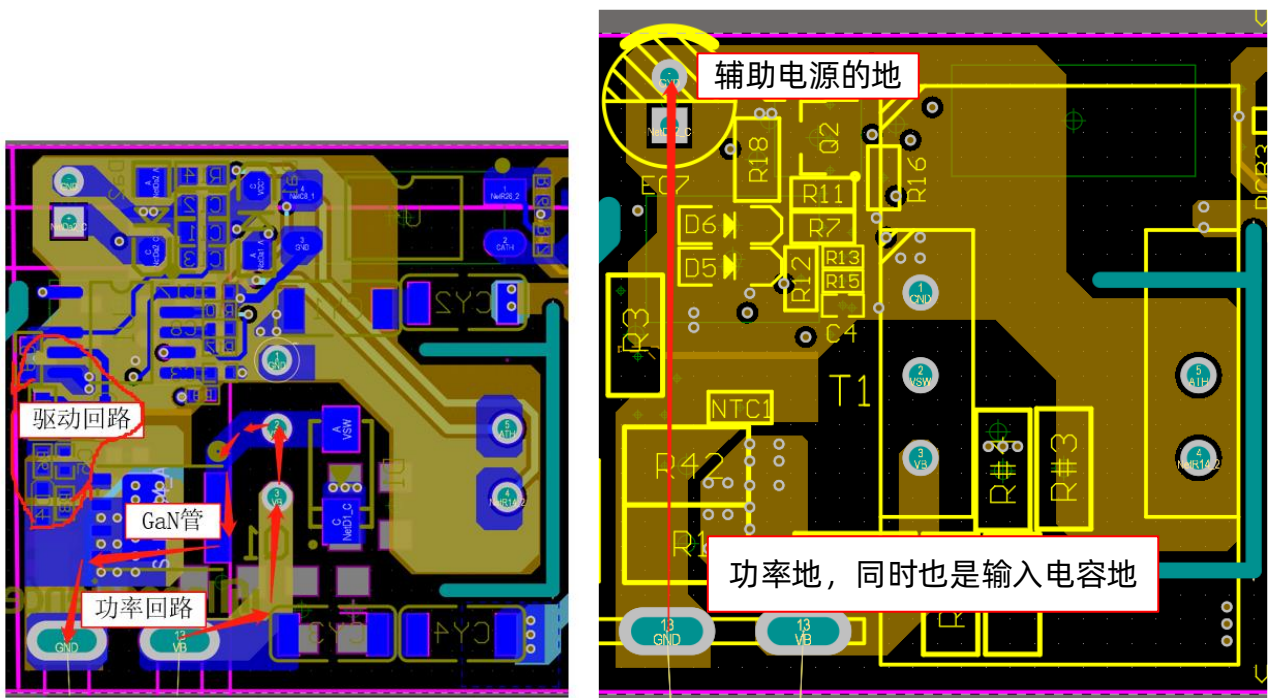


图 24 快充应用——Flyback原边局部PCB

QR反激拓扑，GaN在高网下无法零电压开通，GaN的漏极和源极的铺铜如果形成寄生电容，会额外增大开通loss，该案例的Layout中避免了该问题，由左图可见。同时，GaN的功率回路和驱动回路在布局上较好的分开，避免了功率电路对驱动电路的干扰。

另，由图24的右图可见，通过中间层的大铺铜将辅助电源的地和功率的地线相连，地线的处理干净清晰。

5.2. 高压半桥

5.2.1. Layout注意事项:

高压半桥可分为非隔离式半桥驱动场景和隔离式半桥驱动场景，典型应用如PSU等。两种驱动场景在Layout的注意事项上大致相同。

关于驱动设计的更多细节，请参照《[AN001-高压InnoGaN驱动设计指导](#)》

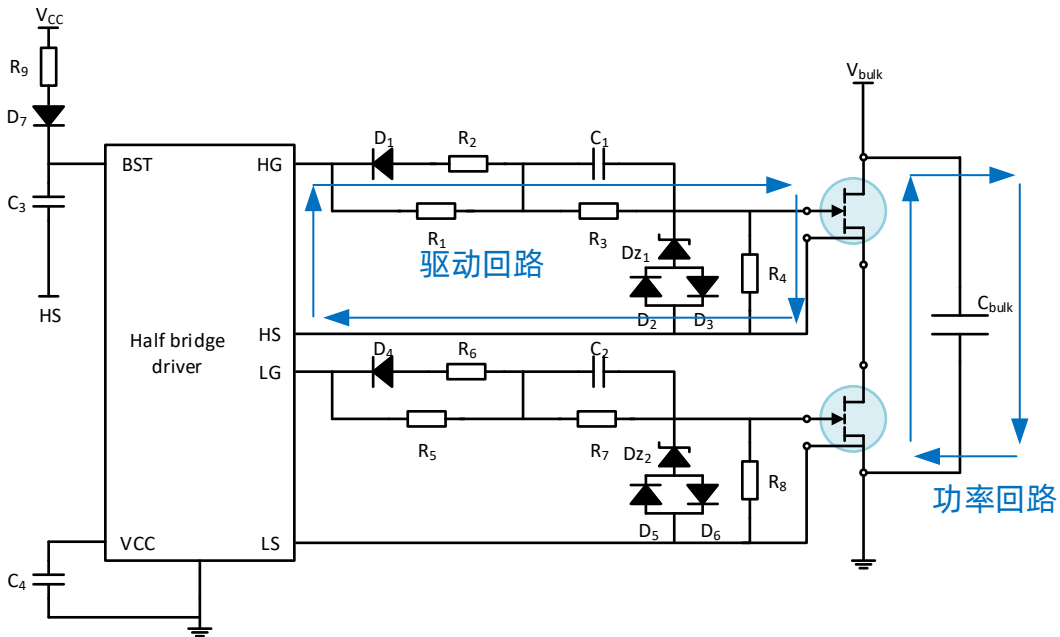


图 25 半桥非隔离式驱动场景

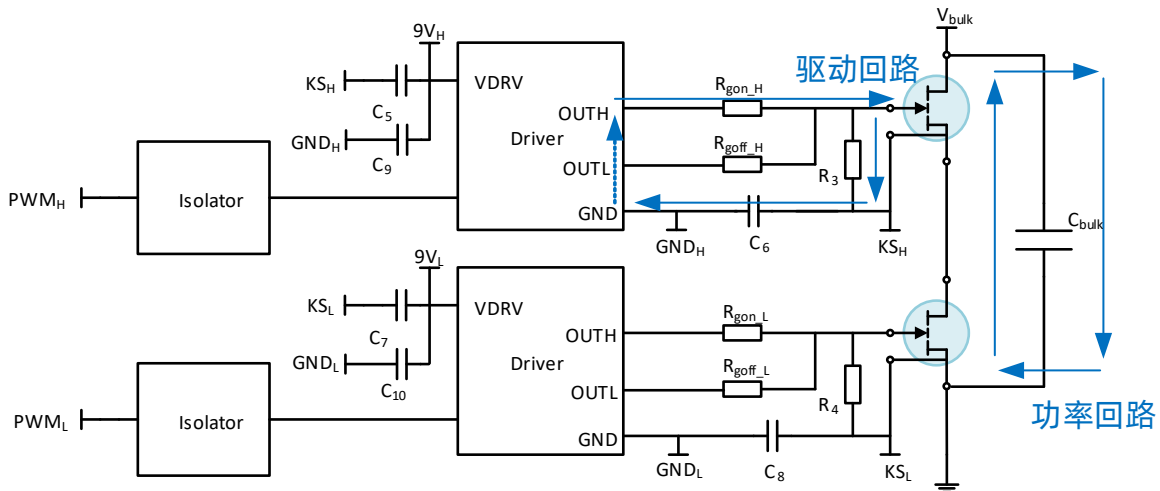


图 26 半桥隔离式驱动场景

注意事项如下：

- 1) 高频去耦电容就近GaN半桥布局，能够减小GaN半桥和母线电容 C_{bus} 构成的功率回路面积。

2) 桥臂中与高压母线、地线交叠面积减小以降低PCB寄生电容，能有效降低GaN的开通损耗。以四层板Layout为例，高压母线和地线可以布Top Layer和Mid Layer1，桥臂中点布Bottom Layer，增加距离减小寄生耦合电容。

3) 采用开尔文接法解耦功率回路和驱动回路，消除功率回路 di/dt 对驱动影响。

4) 减小驱动回路面积，top层摆放器件以走驱动线，第二层铺铜走SK网络，减小驱动回路寄生感抗，加大驱动SK铜皮面积，能有效降低驱动回路地阻抗和感抗，降低寄生电感对驱动影响，且避免噪声通过PCB走线的寄生电容耦合到驱动回路中。

5) 半桥上下管的驱动电路及驱动IC的信号电路在空间上尽量独立，避免各回路之间形成大的寄生电容造成相互间的不可控环流。

5.2.2. 案例——PSU应用

下面为TOLL封装的高压GaN在2KW PSU应用中的一个layout案例。PSU应用的更多信息请参考：[英诺赛科官方网站-应用-数据中心](#)。

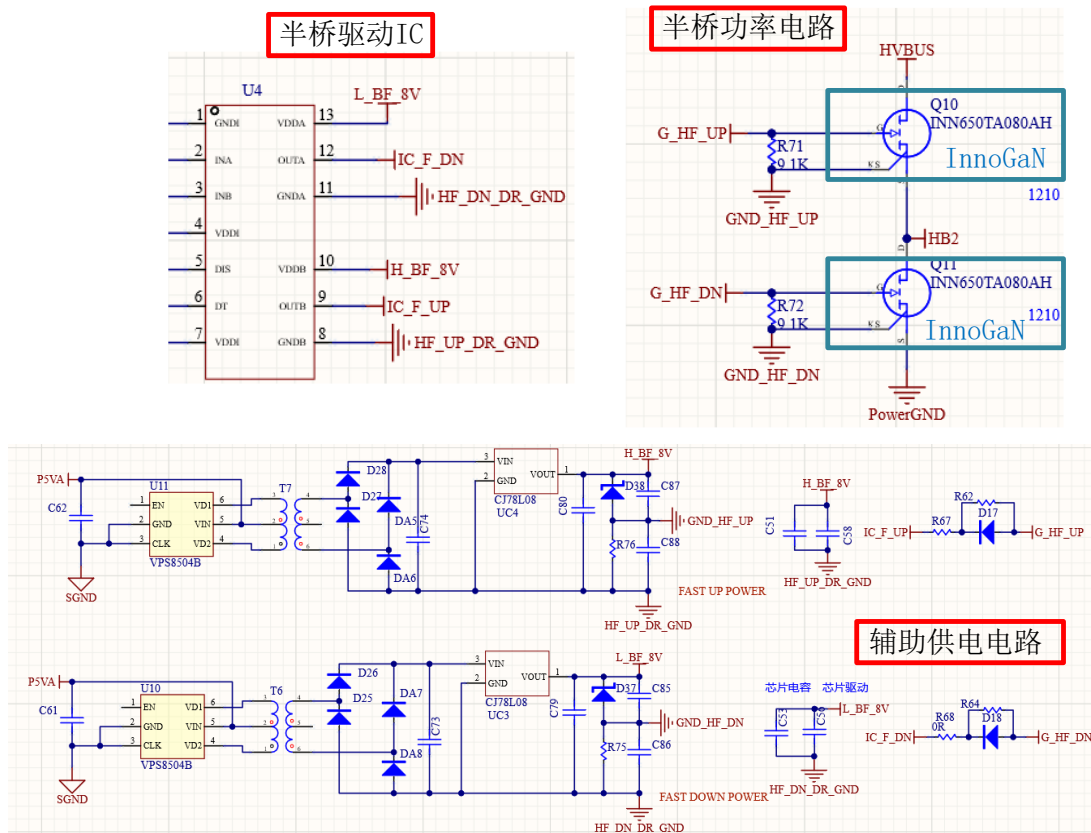


图 27 2KW PSU局部原理图——半桥功率电路

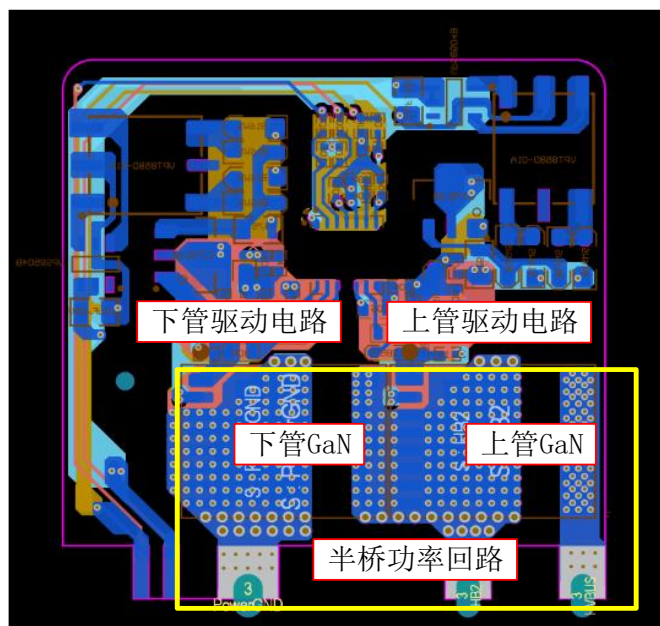


图 28 2KW PSU局部PCB——半桥功率小卡

此半桥模块是功率小卡，插于功率大板上，包括半桥功率电路、驱动IC及驱动电路、上下管辅助供电电路几个部分。半桥拓扑，工作于硬开关场合，开通关断都有损耗，是高压半桥电路的典型Layout案例。

因PSU应用场合的空间制约，高频去耦电容就近GaN半桥，置于大板上；功率回路和驱动回路分开布局，避免了耦合；桥臂中点与高压母线、地线无交叠，避免了寄生电容的产生；驱动电路的开尔文接法及减小驱动回路面积、减小电路寄生电感的走线和铺铜方法在本案例中都有较好的体现，驱动部分的详细设计和注意事项可参考应用文档《[AN001-高压InnoGaN驱动设计指导](#)》。

5.3. 高压并联

5.3.1. Layout注意事项：

在单管和半桥工作GaN的Layout注意事项基础上，并联工作的GaN还需注意以下方面：

- 1) 减小共源电感并尽量对称
- 2) 减小功率回路并尽量对称
- 3) 减小栅极回路并尽量对称

5.3.2. 案例——适配器应用

下面31为运用DFN封装高压GaN的一个300W适配器电源的layout案例。前级BOOST PFC，后级半桥LLC，前级PFC的主开关管以两颗GaN并联实现。适配器应用的更多信息请参考：[英诺赛科官方网站-应用-消费电子](#)。

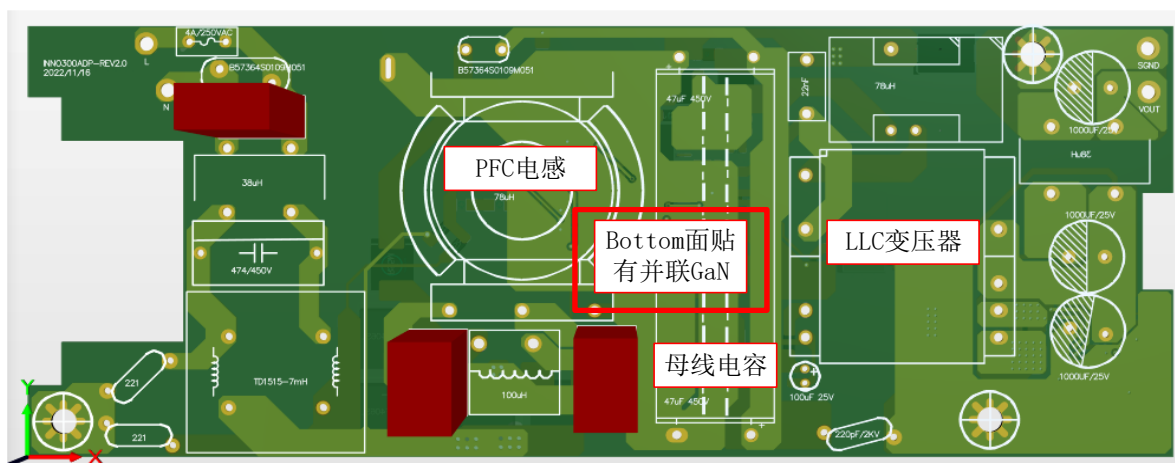


图 29 300W Adaptor Layout的3D概貌图

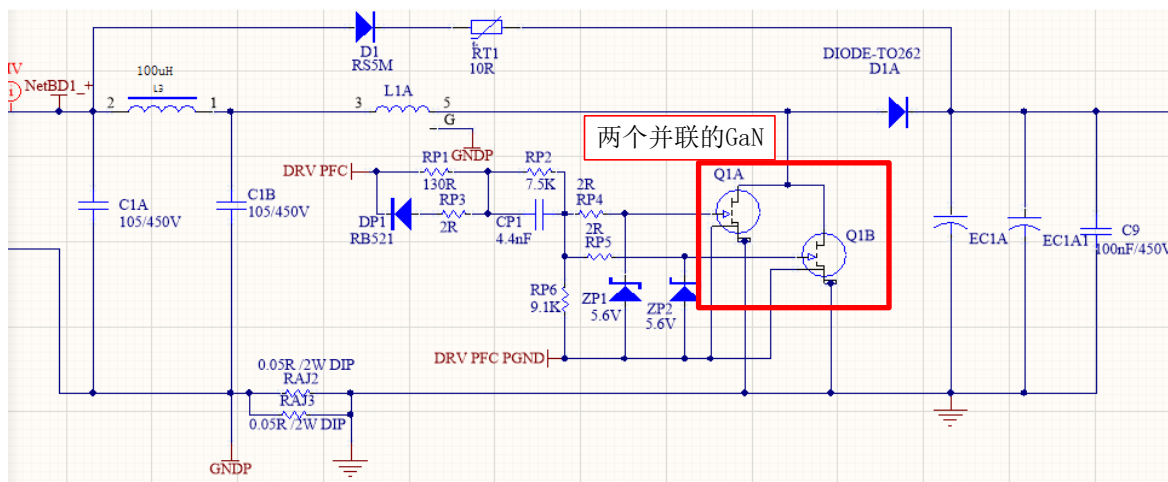


图 30 300W Adaptor 局部原理图——PFC功率电路部分

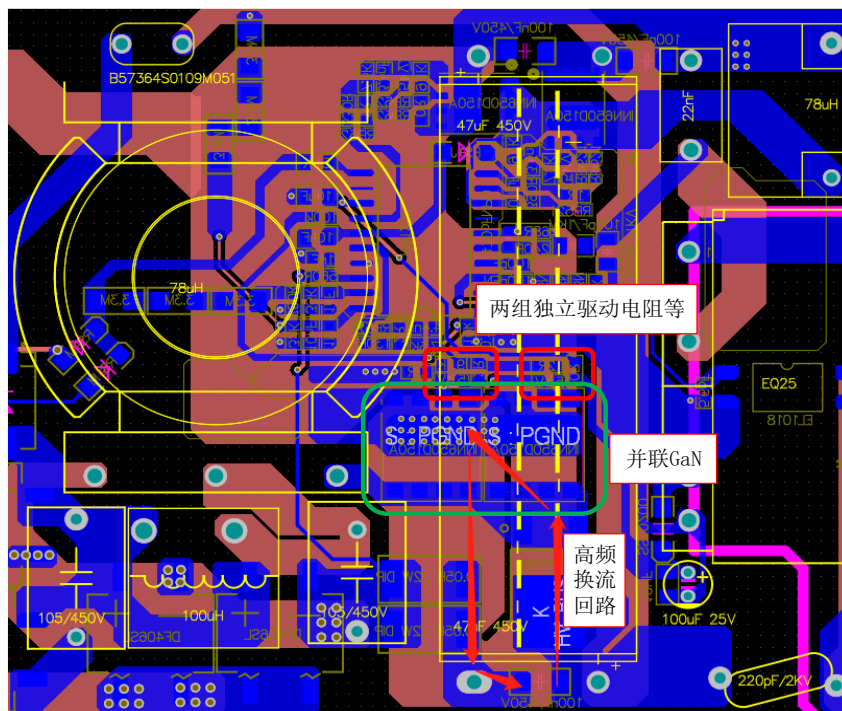


图 31 300W Adaptor 局部PCB图——PFC电路部分

由原理图和PCB可见，两个并联的高压GaN管对称放置在一起，同时，驱动电路合用同一个阻容降压电路以获取同一驱动信号后，采用两组独立的驱动电阻、GS放电电阻和尖峰保护二极管，两组独立驱动电阻组合也是就近且对称地放置在GaN旁边。

在此Layout案例中，前级Boost PFC的两个并联高压GaN管、To262封装的贴片续流二极管和高压贴片电容形成了开关管换流时的高频回路，回路短小，降低了寄生电感，有利于高速开关器件的 V_{ds} 尖峰降低以及高效率指标的实现。

5.4. 低压单管

5.4.1. Layout注意事项：

反激拓扑也是低压单管的典型应用，高低压GaN在此场合的Layout注意事项基本类似，可参见高压单管GaN部分。差异在于低压GaN的工作场景中GaN开通前的 V_{ds} 电压不大，铜皮引起的等效寄生 C_{oss} 电容的开通损耗通常很小，因此低压场合不太会额外关注Layout时GaN的漏极和源极铜皮的交叠情况（具体还是看 V_{ds} 及开关频率，综合权衡）；同时，低压GaN的封装有利于降低PCB上的寄生电感，提高flyback的效率。

5.4.2. 案例——光伏微逆应用

下面为运用FCQFN封装低压GaN的2KW光伏微逆的layout案例。前级由flyback实现DC升压，flyback的原边开关管由两个低压GaN并联实现，GaN贴于下图PCB的Bottom层，下面从低压单管GaN的角度看看PCB Layout的情况。

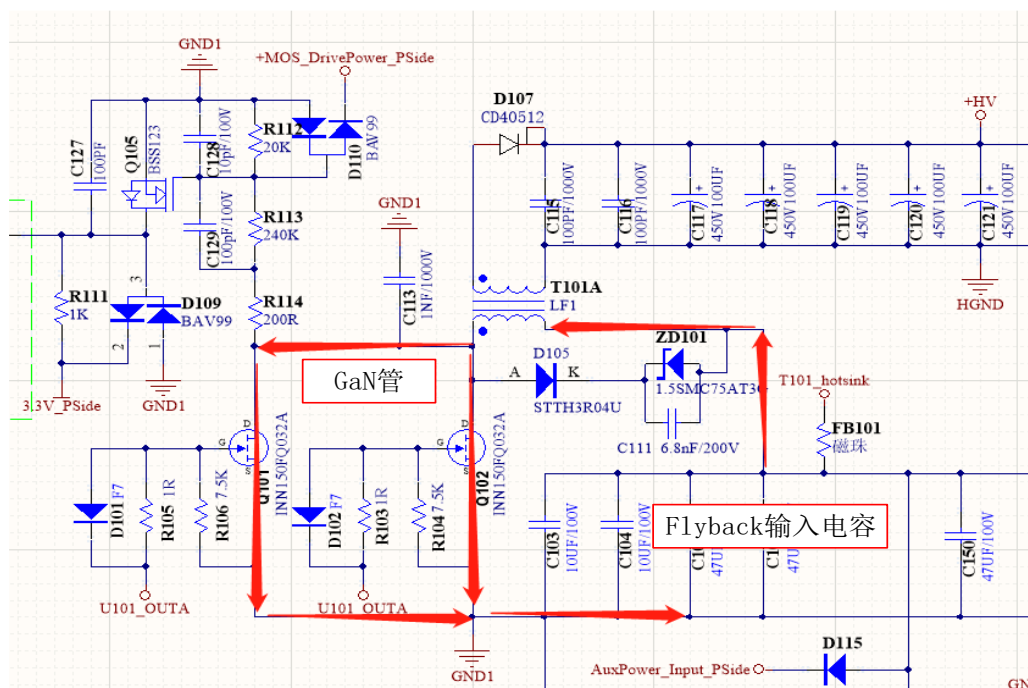


图 32 光伏微逆局部原理图——flyback部分

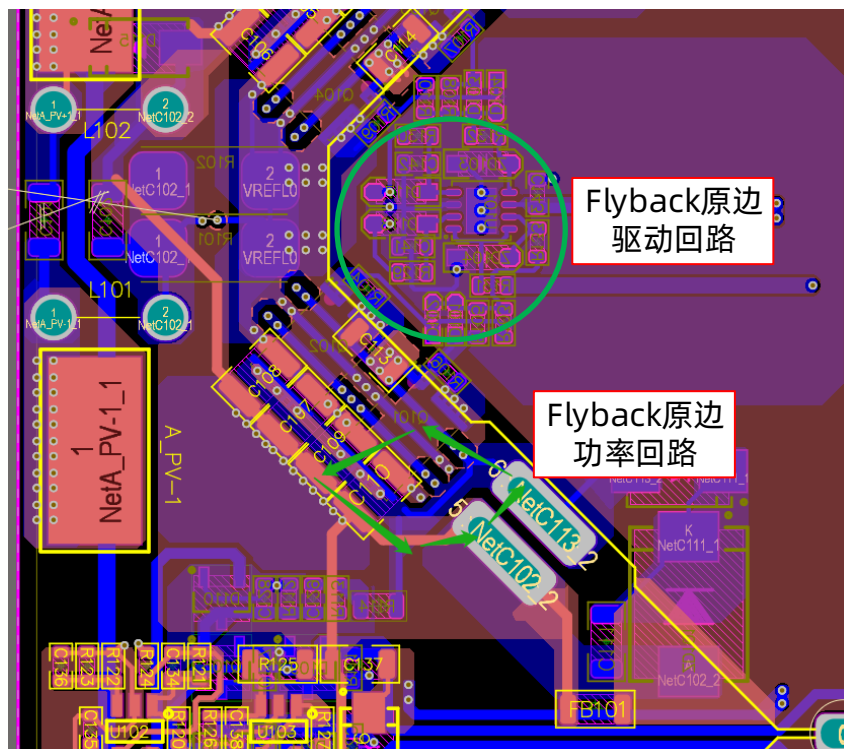


图 33 光伏微逆局部PCB图——GaN部分

此光伏微逆应用中，每个flyback的原边回路由1210的贴片电容、变压器原边绕组、两个并联的GaN组成。PCB的Top面是几个并联的1210贴片电容；第二层是功率地网络；第三层是GaN的drain极，与变压器绕组连接，同时布置了变压器与输入电容正之间的铜皮；Bottom面放置低压GaN。该Layout方式尽可能地减小了功率回路的大小、降低了回路的寄生电感，减小对外的干扰、优化了flyback的效率。

驱动回路置于另外一边，在距离GaN的G极最近的S极上过孔以形成开尔文脚，驱动回路的地单点连接到该过孔（功率的地），以减小共源电感的影响。

5.5. 低压半桥

5.5.1. Layout注意事项:

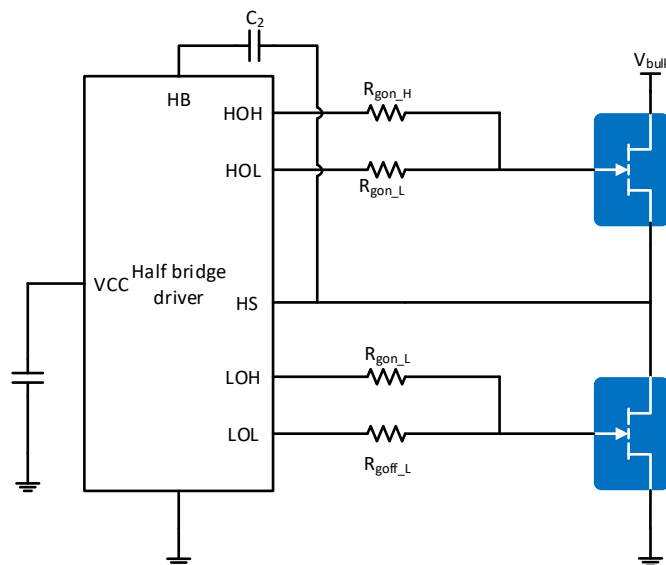


图 34 半桥非隔离式驱动电路

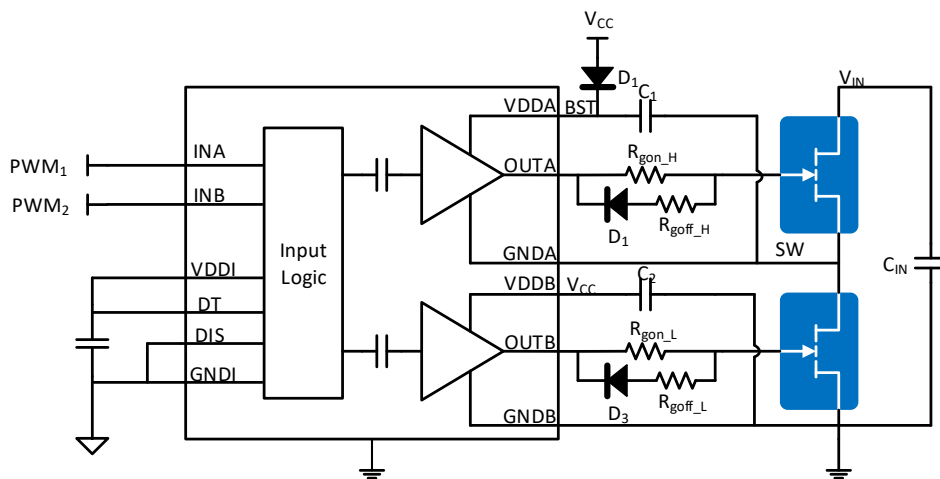


图 35 集成数字隔离和驱动半桥驱动电路

低压半桥的典型应用场景较多，如同步BUCK、运用LLC实现的48V模块电源等。低压半桥跟高压半桥类似，也分为半桥非隔离式驱动场景和隔离式半桥驱动场景，两者在Layout的注意事项上大致相同。总结有如下注意事项：

- 1) V_{CC} 供电电容靠近驱动IC引脚，减小驱动开通回路，降低驱动供电震荡；
- 2) 为了降低环路电感，驱动器应尽可能靠近GaN，降低驱动中的寄生电感；
- 3) 降低驱动回路与功率回路的耦合，减小共源电感；
- 4) 半桥自举电容需要靠近驱动IC引脚侧，同时需要将驱动回路与功率回路分开，降

低功率回路dV/dt对驱动能力的影响。

低压GaN在layout上与高压GaN有些不同的是，低压GaN的工作频率通常很高，通常工作在MHz。在如此高的开关频率下，要发挥出GaN的优势，Layout也需特别注意以尽量减小PCB Layout带来的寄生电感。

5.5.2. 案例——48V模块应用

下面为SolidGaN系列LGA封装的合封GaN (ISG3201,单片封装集成半桥上下管和驱动器) 在1KW 48V转12V模块电源应用中的一个layout案例。48V转12V模块的更多信息请参考：[英诺赛科官方网站-应用-数据中心](#)。

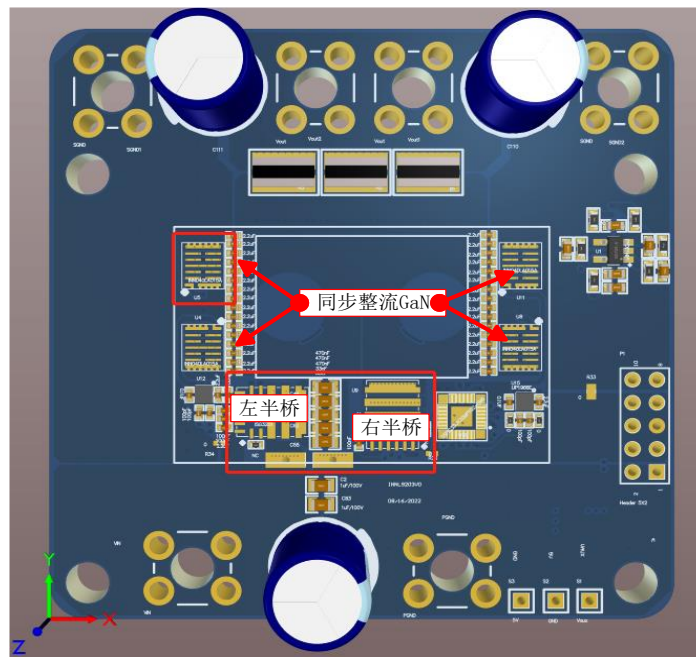


图 36 48V模块电源Layout的3D概貌图

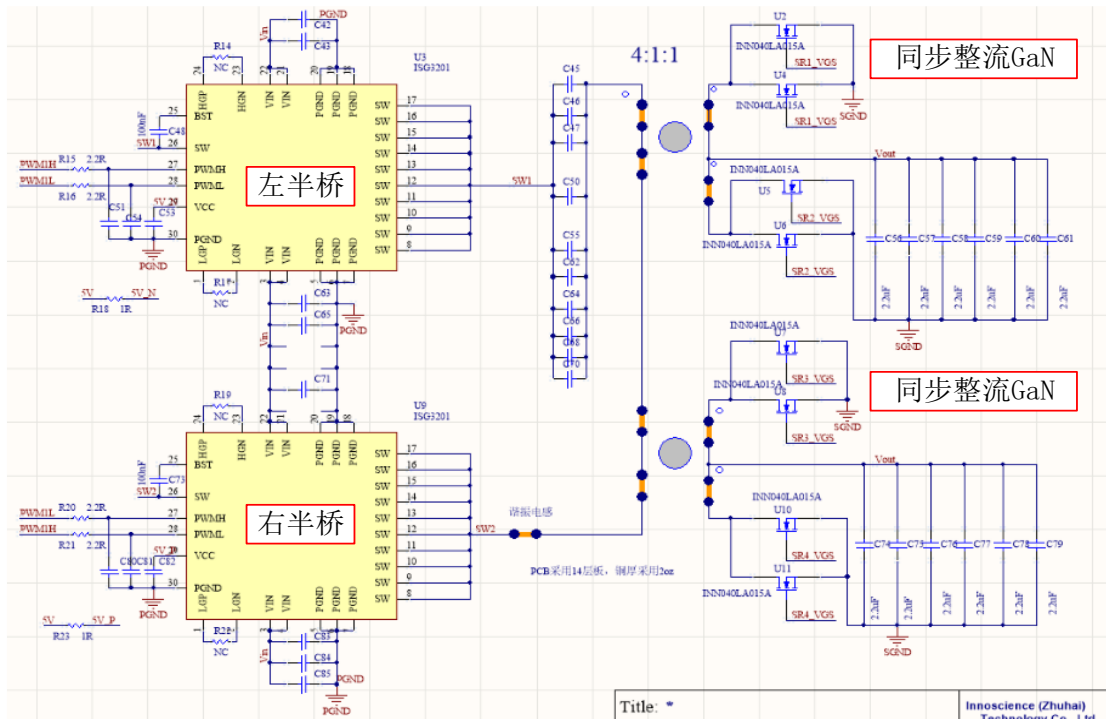


图 37 48V模块电源功率部分原理图

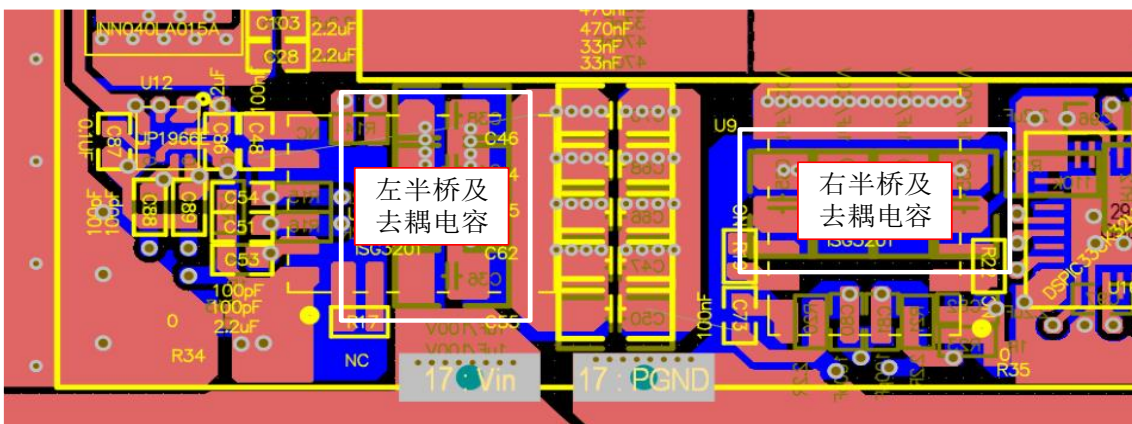


图 38 原边半桥功率电路的Layout

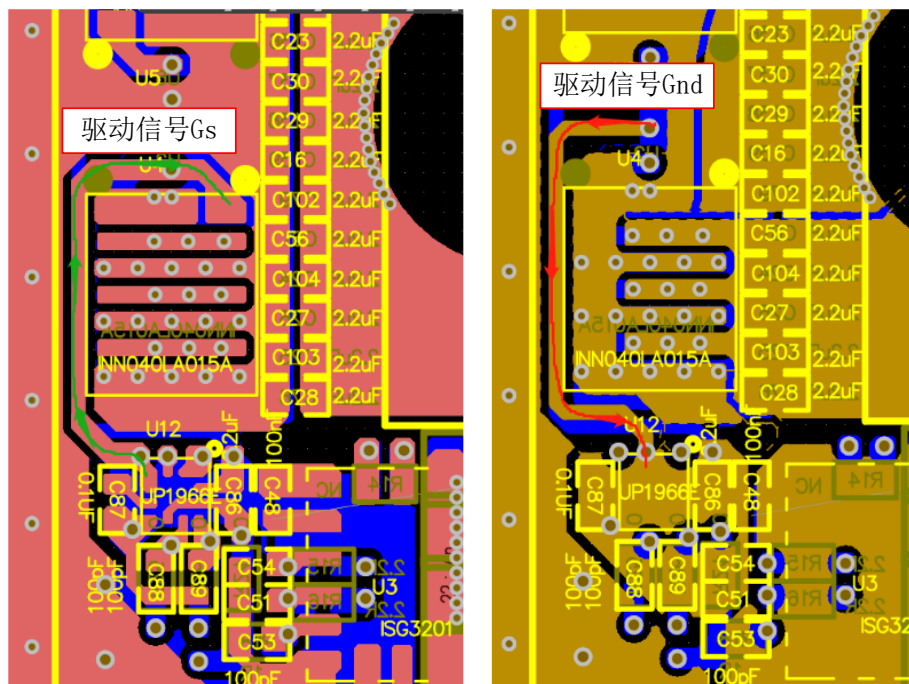


图 39 副边同步整流GaN驱动走线

此48V模块为全桥LLC拓扑，原边由两片ISG3201形成两个半桥桥臂，副边每个同步整流管由两片INN040FQ015A并联实现。每片ISG3201集成半桥的上下两管以及半桥驱动器，电路简单、实现方便。

在该Layout场景中，合封GaN ISG3201被置于TOP层、半桥输入去耦电容被置于ISG3201正下方的Bottom层，运用多个过孔使得两者直接相连，功率回路寄生感达到最小化；从副边同步整流GaN的驱动走线来看，驱动走线上下层基本完全重合交叠，尽可能地减小了驱动回路面积、降低了回路寄生电感。

5.6. 低压并联

5.6.1. Layout注意事项:

跟高压GaN类似，并联工作的低压GaN器件跟单管相比也需注意以下方面：

- 1) 减小共源电感并对称
- 2) 减小功率回路并对称
- 3) 减小栅极回路并对称

不同的是，低压GaN在模块电源等应用中会跑到更高开关频率，如几MHz。在这样的高频工作情况下，并联工作的低压GaN器件在Layout方面更需注意对称性。下图为低压GaN单管和低压GaN半桥场合的Layout并联推荐方法。详情请参照[AN004-InnoGaN并联设计指导](#)。

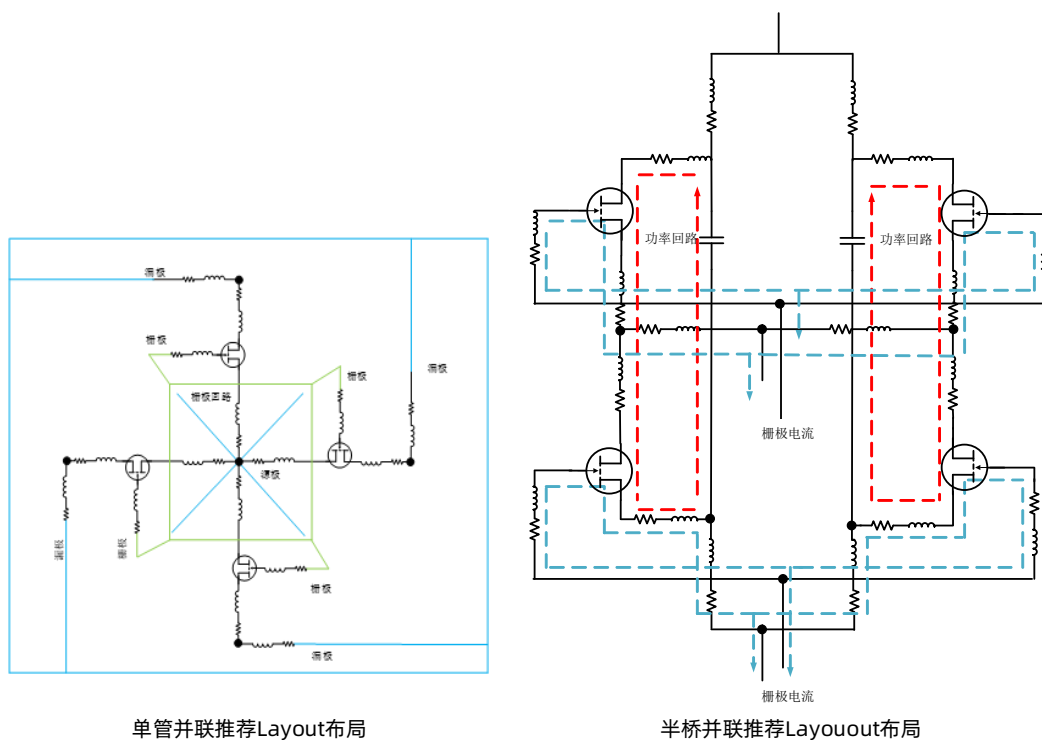


图 40 低压GaN单管及低压GaN半桥场合的Layout并联推荐方法

5.6.2. 案例——BUCK-BOOST模块电源

下面为FCQFN封装的低压GaN 在1KW BUCK-BOOST场景的一个layout案例。

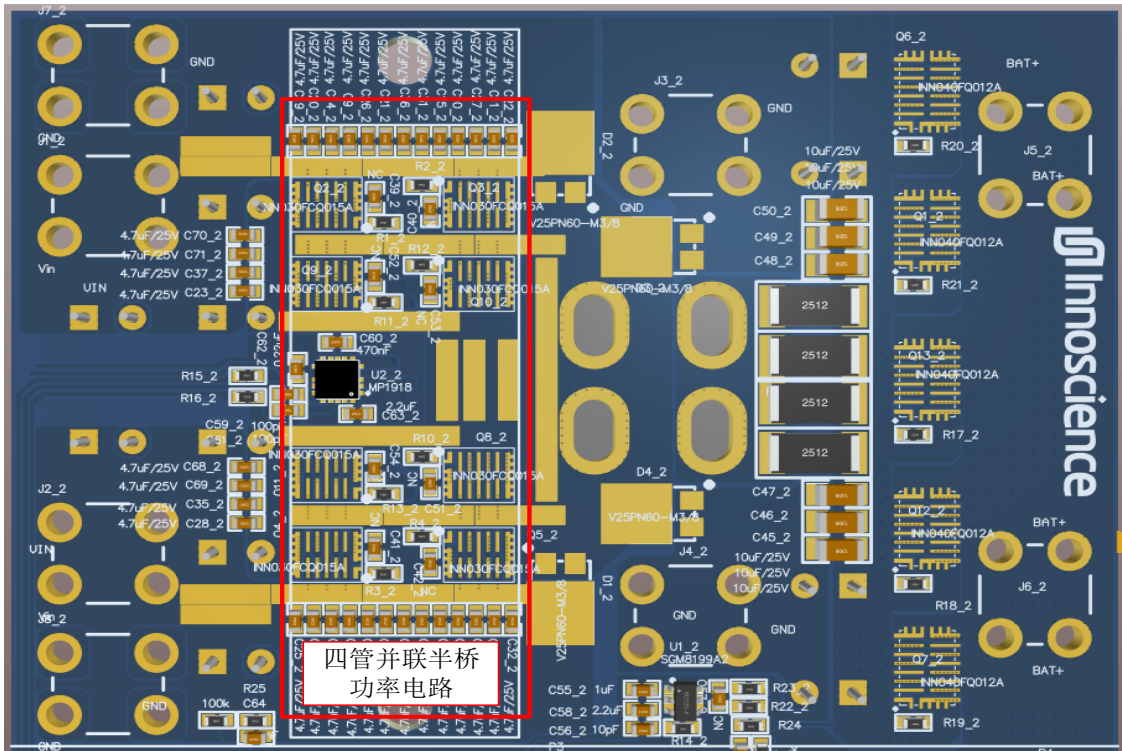


图 41 BUCK-BOOST模块Layout的3D概貌图

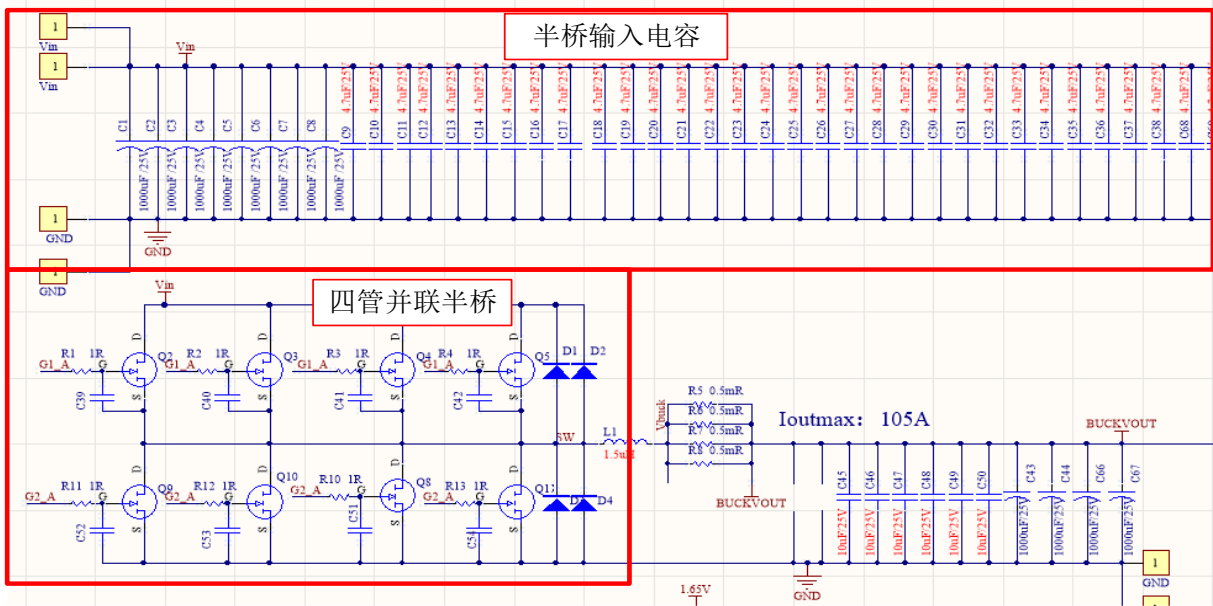


图 42 BUCK-BOOST模块局部原理图

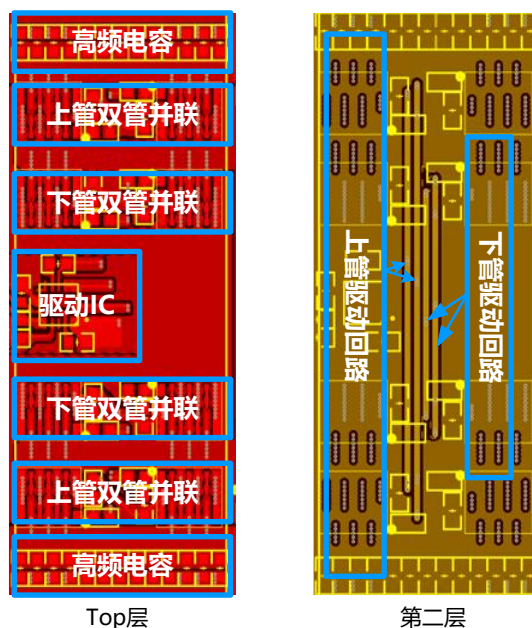


图 43 BUCK-BOOST模块 —— 4管并联半桥Layout布局 (1)

由Top层可以看出，PCB以驱动IC为中点上下对称、同一边并联的两管左右对称；同时每一组半桥就近配置一组高频电容，有效降低功率回路寄生参数。驱动回路的地通过通孔单点连接到GaN的S极，降低共源电感，同时注意保证驱动回路对称。此外，在第二层铺设功率回路地网络的铜皮，与Top层形成高频环路，两者磁场互抵、降低回路寄生电感，形成最佳布局的基础。

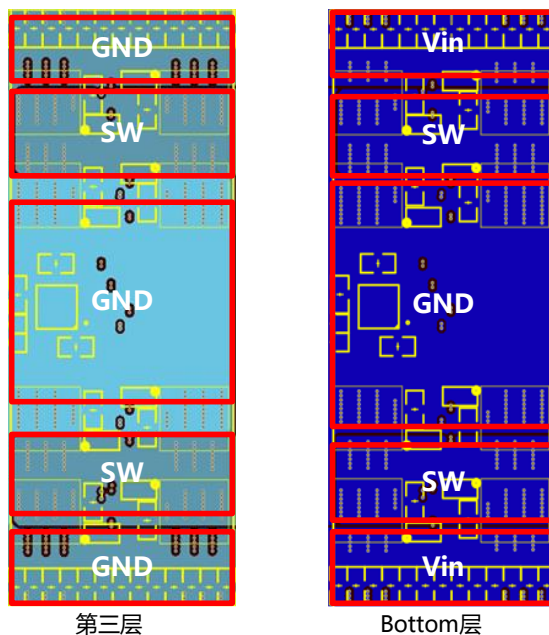


图 44 BUCK-BOOST模块 —— 4管并联半桥Layout布局 (2)

第三层和Bottom层主要提供大电流路径和散热途径，保证足够的面积即可。

历史版本

日期	版本	备注	作者
2023/11/23	1.0	第一版	AE 团队
2024/10/31	1.1	更新部分图片, 增加链接	AE 团队



Note:

There is a dangerous voltage on the demo board, and exposure to high voltage may lead to safety problems such as injury or death.

Proper operating and safety procedures must be adhered to and used only for laboratory evaluation demonstrations and not directly to end-user equipment.



Reminder:

This product contains parts that are susceptible to electrostatic discharge (ESD). When using this product, be sure to follow antistatic procedures.



Disclaimer:

Innoscience reserves the right to make changes to the products or specifications described in this document at any time. All information in this document, including descriptions of product features and performance, is subject to change without notice. INNOIC ACCEPTSURBIT ACCEPTS NO LIABILITY ARISING OUT OF THE USE OF ANY EQUIPMENT OR CIRCUIT DESCRIBED HEREIN. The performance specifications and operating parameters of the products described in this article are determined in a stand-alone state and are not guaranteed to be performed in the same manner when installed in the customer's product. Samples are not suitable for extreme environmental conditions. We make no representations or warranties, express or implied, as to the accuracy or completeness of the statements, technical information and advice contained herein and expressly disclaim any liability for any direct or indirect loss or damage suffered by any person as a result thereof. This document serves as a guide only and does not convey any license under the intellectual property rights of Innoscience or any third party.